



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 **Offenlegungsschrift**
10 **DE 102 28 560 A 1**

51 Int. Cl.⁷:
G 11 C 11/14

21 Aktenzeichen: 102 28 560.8
22 Anmeldetag: 26. 6. 2002
43 Offenlegungstag: 15. 5. 2003

DE 102 28 560 A 1

30 Unionspriorität:
2001-329338 26. 10. 2001 JP
71 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP
74 Vertreter:
Prüfer und Kollegen, 81545 München

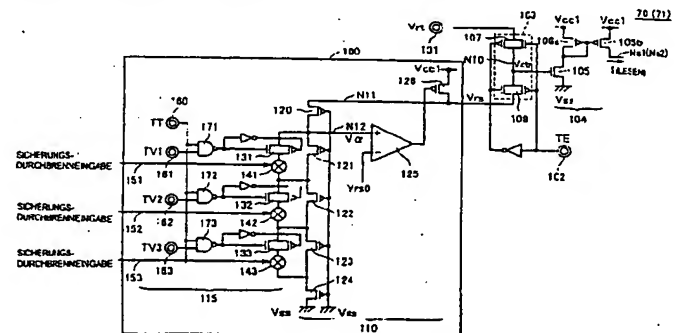
72 Erfinder:
Hidaka, Hideto, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Dünnfilmmagnetspeichervorrichtung mit einer Datenlesestromeinstellungsfunktion

57 Eine Konstantstromversorgungsschaltung (70) erzeugt einen Konstantstrom (I (Lesen)) gemäß einer Steuerspannung (Vctr). Ein Datenlesestrom, der durch ein Tunnelmagnetwiderstandselement, das eine Speicherzelle bildet, während des Datenschreibens fließt, ist gemäß dem Konstantstrom (I (Lesen)) gesetzt. Die Konstantstromversorgungsschaltung (70) enthält eine Spannungseinstellungsschaltung (100), die eine Referenzspannung (Vrs) erzeugt, die gemäß einer externen Eingabe einstellbar ist, eine Spannungsquelle (104), die den Konstantstrom (I (Lesen)) gemäß der Referenzspannung (Vrs) erzeugt, und eine Spannungsschalter-Schaltung (103), die die Referenzspannung (Vrs) an die Stromquelle als Steuerspannung (Vctn) während einer normalen Operation liefert.



DE 102 28 560 A 1

[0001] Die Erfindung betrifft eine Dünnschichtmagnet-speichervorrichtung und insbesondere einen Zufallszugriffsspeicher (RAM), der mit Speicherzellen bereitgestellt ist, die Magnet-tunnelübergänge (MTJ) aufweisen.

[0002] Als Speichervorrichtung zur permanenten (nicht-flüchtigen) Speicherung von Daten bei geringem Leistungsverbrauch hat sich die Aufmerksamkeit auf eine sogenannte MRAM (Magnetic Random Access Memory)-Vorrichtung gerichtet. Die MRAM-Vorrichtung ist eine Speichervorrichtung, die Daten permanent speichert, indem eine Mehrzahl von Dünnschichtmagnetelementen verwendet wird, die auf einer integrierten Halbleiterschaltung gebildet sind, und die auf jedes dieser Dünnschichtmagnetelemente zugreifen kann.

[0003] In der Vergangenheit hat sich herausgestellt, daß die Leistung der MRAM-Vorrichtung überraschende Vorteile aufweist, wenn als Speicherzellen Tunnelmagnetwiderstandselemente verwendet werden, die Dünnschichtmagnetkörper sind, die Magnet-tunnelübergänge (MTJs) verwenden. Die MRAM-Vorrichtung, die Speicherzellen mit MTJs enthält, ist in verschiedenen technischen Dokumenten offenbart, wie etwa in "A 10 ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell", ISSCC Digest of Technical Papers, TA7.2, Februar 2000, "Nonvolatile RAM based on Magnetic Tunnel Junction Elements", ISSCC Digest of Technical Papers, TA7.3, Februar 2000 und in "A 256Kb 3,0 V 1T1MTJ Nonvolatile Magnetoresistive RAM", ISSCC Digest of Technical Papers, TA7.6, Februar 2001,

[0004] Fig. 22 zeigt eine schematische Ansicht des Aufbaus einer Speicherzelle mit einem Magnet-tunnelübergang, die im folgenden einfach als "MTJ-Speicherzelle" bezeichnet wird.

[0005] Wie in Fig. 22 gezeigt, ist die MTJ-Speicherzelle mit einem Tunnelmagnetwiderstandselement TMR bereitgestellt, in dem sich der elektrische Widerstand in Bezug auf gespeicherte Datenpegel ändert, und mit einem Zugriffselement ATR zur Bildung eines Weges für einen Lesestrom I_s , der durch das Tunnelmagnetwiderstandselement TMR während des Lesens von Daten fließt. Da das Zugriffselement ATR typischerweise aus einem Feldeffekttransistor gebildet ist, wird das Zugriffselement ATR im folgenden auch als "Zugriffstransistor ATR" bezeichnet. Der Zugriffstransistor ATR ist mit dem Tunnelmagnetwiderstandselement TMR in Reihe geschaltet.

[0006] Eine Schreibwortleitung WWL zur Anzeige des Datenschreibens, eine Lesewortleitung RWL zur Durchführung des Datenlesens und eine Bitleitung BL, die eine Datenleitung zur Übertragung eines elektrischen Signals ist, das zu dem Datenpegel der gespeicherten Daten während des Datenlesens und des Datenschreibens korrespondiert, sind für die MTJ-Speicherzelle angeordnet.

[0007] Fig. 23 zeigt eine Ansicht zur Erklärung des Lesens von Daten von der MTJ-Speicherzelle.

[0008] Wie in Fig. 23 gezeigt, enthält das Tunnelmagnetwiderstandselement TMR eine ferromagnetische Schicht FL (im folgenden auch als "feste Magnetschicht" bezeichnet), die eine feste konstante Magnetrichtung aufweist, und eine ferromagnetische Schicht VL (im folgenden auch als "freie Magnetschicht" bezeichnet), die in einer Richtung gemäß einem extern angelegten Magnetfeld magnetisierbar ist. Eine Tunnelbarriere (Tunnelfilm) TB, die aus einem Isolationsfilm gebildet ist, ist zwischen der festen Magnetschicht FL und der freien Magnetschicht VL bereitgestellt. Die freie Magnetschicht VL wird in der gleichen Richtung oder in entgegengesetzter Richtung in Bezug auf die feste Magnetschicht FL magnetisiert, in Abhängigkeit von dem Datenpe-

gel der zu schreibenden gespeicherten Daten. Die feste Magnetschicht FL, die Tunnelbarriere TB und die freie Magnetschicht VL bilden einen Magnet-tunnelübergang.

[0009] Bei der Datenleseoperation wird der Zugriffstransistor ATR in Antwort auf die Aktivierung der Lesewortleitung RWL eingeschaltet, und das Tunnelmagnetwiderstandselement TMR zwischen die Bitleitung BL und eine Massespannung V_{ss} geschaltet. Als Ergebnis wird eine Vorspannung gemäß der Spannung der Bitleitung an beide Enden des Tunnelmagnetwiderstandselements TMR angelegt, und ein Tunnelstrom fließt im Tunnelfilm (Tunnelbarriere) TB. Durch Verwendung eines derartigen Tunnelstroms ist es möglich, einen Lesestrom in den Stromweg zu bringen, der durch die Bitleitung BL, das Tunnelmagnetwiderstandselement TMR, den Zugriffstransistor ATR und die Massespannung V_{ss} gebildet wird.

[0010] Der elektrische Widerstand des Tunnelmagnetwiderstandselements TMR ändert sich gemäß der relativen Beziehung zwischen der Magnetrichtung der festen Magnetschicht FL und der der freien Magnetschicht VL. Falls die Magnetisierungsrichtung der festen Magnetschicht FL die gleiche ist, wie die der freien Magnetschicht VL, also parallel ist, der elektrische Widerstandswert des Tunnelmagnetwiderstandselements TMR ein minimaler Wert R_{min} , und falls die Magnetisierungsrichtungen entgegengesetzt zueinander sind (also nicht parallel), ist der elektrische Widerstandswert des Tunnelmagnetwiderstandselements TMR ein maximaler Wert R_{max} .

[0011] Falls entsprechend die freie Magnetschicht VL in einer Richtung gemäß den gespeicherten Daten magnetisiert wird, ändert sich aufgrund des Lesestroms I_s , der gemäß dem Pegel der gespeicherten Daten variiert, eine Spannung, die für das Tunnelmagnetwiderstandselement TMR auftritt. Falls folglich der Lesestrom I_s am Tunnelmagnetwiderstandselement TMR anliegt, nachdem die Bitleitung BL mit einer konstanten Spannung vorgeladen ist, können zum Beispiel die gespeicherten Daten der Speicherzellen gelesen werden, indem die Spannung der Bitleitung BL gelesen (abgetastet) wird.

[0012] Fig. 24 zeigt eine Ansicht zur Erklärung des Schreibens von Daten in die MTJ-Speicherzelle.

[0013] Wie in Fig. 24 gezeigt, ist während des Datenschreibens die Lesewortleitung RWL deaktiviert, und der Zugriffstransistor ATR ausgeschaltet. Bei diesem Zustand wird ein Datenschreibestrom zur Magnetisierung der freien Magnetschicht VL in eine Richtung gemäß der Schreibdaten, an die Schreibwortleitung und die Bitleitung BL angelegt.

[0014] Fig. 25 zeigt eine Ansicht zur Erklärung der Beziehung zwischen dem Datenschreibestrom und der Magnetisierungsrichtung des Tunnelmagnetwiderstandselements TMR während des Datenschreibens.

[0015] Wie in Fig. 25 gezeigt, zeigt die horizontale Achse ein Magnetfeld, das in einer leichten Achsrichtung (EA) in der freien Magnetschicht VL in dem Tunnelmagnetwiderstandselement TMR angelegt ist. Andererseits zeigt die vertikale Achse H (HA) ein Magnetfeld, das in einer schweren Achsrichtung (HA) in der freien Magnetschicht VL wirkt. Die magnetischen Felder H (EA) und H (HA) korrespondieren jeweils zu den zwei Magnetfeldern, die durch die Ströme erzeugt werden, die an die Bitleitung BL und die Schreibwortleitung WWL angelegt sind.

[0016] In der MTJ-Speicherzelle verläuft die feste Magnetisierungsrichtung der festen Magnetschicht FL entlang der leichten Achse der freien Magnetschicht VL, und die freie Magnetschicht VL ist in einer Richtung parallel oder nicht parallel (entgegengesetzt) zu der festen Magnetschicht FL entlang der leichten Achsrichtung gemäß dem Pegel der ge-

gespeicherten Daten ("1" und "0") magnetisiert. Die MTJ-Speicherzelle kann 1-Bit Daten ("1" und "0") speichern, die jeweils den zwei Magnetisierungsrichtungen der freien Magnetschicht VL entsprechen.

[0017] Die Magnetisierungsrichtung der freien Magnetschicht VL kann nur zurückgeschrieben werden, wenn die Summe der Magnetfelder H (EA) und H (HA), die an die freie Magnetschicht VL angelegt werden, einen Bereich außerhalb einer in Fig. 25 gezeigten Asteroidkennlinie erreicht. Mit anderen Worten, falls das Datenschreibmagnetfeld, das an die freie Magnetschicht VL angelegt wird, eine Intensität aufweist, die dem Bereich innerhalb der Asteroidkennlinie entspricht, ändert sich die Magnetisierungsrichtung der freien Magnetschicht VL nicht.

[0018] Falls ein Magnetfeld in der schweren Achsrichtung an die freie Magnetschicht VL angelegt wird, wie in der Asteroidkennlinie gezeigt, wird es möglich, einen Magnetisierungsschwellenwert zu reduzieren, der notwendig ist, um die Magnetisierungsrichtung der freien Magnetschicht VL entlang der leichten Achse zu ändern.

[0019] Falls Betriebspunkte während des Datenschreibens designed sind, wie zum Beispiel in Fig. 25 gezeigt, wird das Datenschreibmagnetfeld in der leichten Achsrichtung derart ausgelegt, daß eine Intensität H_{WR} in der MTJ-Speicherzelle, in die Daten zu schreiben sind, vorhanden ist. Der Wert des Datenschreibstroms, der an jede der Bitleitung BL oder Wortleitung WWL angelegt wird, ist ausgelegt, um das Datenschreibmagnetfeld H_{WR} zu erhalten. Allgemein wird das Datenschreibmagnetfeld H_{WR} durch die Summe eines Schaltmagnetfeldes H_{SW} ausgedrückt, das notwendig ist, um über eine Magnetisierungsrichtung zu ändern und einer Toleranz ΔH , also $H_{WR} = H_{SW} + \Delta H$.

[0020] Um die gespeicherten Daten der MTJ-Speicherzelle zurückzuschreiben, also die Magnetisierungsrichtung des Tunnelmagnetwiderstandselements TMR zurückzuschreiben, ist es notwendig, einen Datenschreibstrom mit vorbestimmtem Pegel oder größer an die Schreibwortleitung WWL und Bitleitung BL anzulegen. Folglich wird die freie Magnetschicht VL in dem Tunnelmagnetwiderstandselement TMR in der Richtung parallel oder entgegengesetzt (nicht parallel) zu der festen Magnetschicht FL magnetisiert, in Übereinstimmung mit der Richtung des Datenschreibmagnetfeldes entlang der leichten Achse (EA). Die Magnetisierungsrichtung, die einmal in das Tunnelmagnetwiderstandselement TMR geschrieben wird, also die gespeicherten Daten der MTJ-Speicherzelle, werden in nichtflüchtiger Weise gehalten, bis neue Daten geschrieben werden.

[0021] Wie oben beschrieben ändert sich der elektrische Widerstand des Tunnelmagnetwiderstandselements TMR gemäß der Magnetisierungsrichtung, die durch das daran angelegte Datenschreibmagnetfeld zurückgeschrieben werden kann, so daß es möglich ist, Daten in nichtflüchtiger Weise (permanent) zu speichern, wenn die elektrischen Widerstandswerte R_{max} und R_{min} des Tunnelmagnetwiderstandselements TMR jeweils den Pegeln ("1" und "0") der gespeicherten Daten entsprechen.

[0022] Folglich fließt der Lesestrom I_s , der durch das Tunnelmagnetwiderstandselement TMR während des Datenschreibens fließt, als Tunnelstrom durch den Tunnelfilm (Tunnelbarriere) TB. Jedoch hängt die Spannungs-Strom-Charakteristik, also die Eigenschaft der an den Tunnelfilm angelegten Spannung (Vorspannung) zu dem Tunnelstrom des Tunnelmagnetwiderstandselements TMR, stark von der Dicke des Tunnelfilms ab. Folglich kann sich in Abhängigkeit von Herstellungsunregelmäßigkeiten der Tunnelfilmdicke in einem Herstellungsprozeß, der Lesestrom I_s während des Datenschreibens beträchtlich ändern.

[0023] Mit anderen Worten, selbst wenn die gleiche Vor-

spannung angelegt wird, ändert sich der durch das Tunnelmagnetwiderstandselement TMR fließende Lesestrom I_s stark in Abhängigkeit von Herstellungsunregelmäßigkeiten der Tunnelfilmdicke, so daß der elektrische Widerstandswert des Tunnelmagnetwiderstandselements TMR, also der Pegel der gespeicherten Daten, nicht genau von der Spannung der Bitleitung abgeleitet werden kann. Folglich ist es notwendig, die MTJ-Speicherzelle derart zu bilden, daß sie eine Datenlesetoleranz sicherstellt, die einer derartigen Herstellungsunregelmäßigkeit entspricht.

[0024] Darüber hinaus hängt die elektrische Widerstandseigenschaft des Tunnelmagnetwiderstandselements TMR stark von der Temperatur und der Vorspannung ab, so daß es ebenfalls notwendig ist, eine Sicherstellung der Datenlesetoleranz zu gewährleisten, die diesen Änderungen entspricht.

[0025] Andererseits hängt die Zuverlässigkeit des Tunnelfilms stark von dem Tunnelstrom ab. Mit anderen Worten, falls ein dünner Tunnelfilm aufgrund von Herstellungsunregelmäßigkeiten hergestellt wird, besteht eine Wahrscheinlichkeit dafür, daß ein übermäßiger Tunnelstrom während einer herkömmlichen Operation fließt, so daß die Betriebszuverlässigkeit der gesamten MRAM-Vorrichtung verschlechtert wird.

[0026] Während es notwendig ist, einen Fehlerbeschleunigungstest durchzuführen, um die Zuverlässigkeit des Tunnelfilms sicherzustellen, indem die Zuverlässigkeit des Tunnelmagnetwiderstandselements TMR evaluiert wird, kann eine Abschirmung des Tunnelfilms in einem Beschleunigungstest nicht wirkungsvoll erfolgen, bei dem ein hohes elektrisches Feld angelegt wird, wie zum Beispiel für eine herkömmliche MOS(Metal Oxide Semiconductor)-Typ LSI-Schaltung (Large Scale Integrated Circuit).

[0027] Aufgabe der Erfindung ist die Bereitstellung eines Aufbaus einer Dünnschichtmagnetspeichervorrichtung, die eine Datenlesetoleranz sicherstellen kann, die zu Herstellungsunregelmäßigkeiten der Dicke eines Tunnelfilms, der einen Magnetunnelübergang bildet, korrespondiert.

[0028] Eine andere Aufgabe der Erfindung liegt in der Bereitstellung eines Aufbaus einer Dünnschichtmagnetspeichervorrichtung, die wirkungsvoll einen Fehlerbeschleunigungstest durchführen kann, um Potentialfehler eines Tunnelfilms, der einen Magnetunnelübergang bildet, zu klären.

[0029] Eine Dünnschichtmagnetspeichervorrichtung gemäß der Erfindung enthält eine Mehrzahl von Speicherzellen, die jeweils eine Datenspeicherung durchführen; und eine Mehrzahl von Datenleitungen, die gemäß vorbestimmten Segmenten der Mehrzahl von Speicherzellen jeweils angeordnet sind. Jede der Mehrzahl von Speicherzellen enthält einen Magnetspeicherbereich, der in einer Richtung gemäß einem Pegel der gespeicherten Daten magnetisiert ist, und der einen unterschiedlichen elektrischen Widerstand gemäß einer Magnetisierungsrichtung aufweist; und ein Zugriffsselement, das elektrisch mit dem Magnetspeicherbereich in Reihe geschaltet ist, zwischen einer entsprechenden der Mehrzahl von Datenleitungen und einer ersten Spannung, und das in mindestens einer ausgewählten Speicherzelle eingeschaltet ist, die eine Datenlesezielspeicherzelle ist. Die Dünnschichtmagnetspeichervorrichtung enthält ferner ein Auswahlgate, das elektrisch die Datenleitung von der Mehrzahl der Datenleitungen, die zu der ausgewählten Speicherzelle korrespondiert, mit einem internen Knoten elektrisch verbindet; und eine Datenleseschaltung, die die gespeicherten Daten der ausgewählten Speicherzelle liest. Die Datenleseschaltung enthält eine Konstantstromschaltung, die zwischen einer zweiten Spannung und dem internen Knoten elektrisch geschaltet ist, und die einen konstanten Strom gemäß einer Steuerspannung, die in einer nichtflüchtigen Weise gemäß

einer externen Eingabe einstellbar ist, an den internen Knoten liefert; und eine Spannungsverstärkerschaltung, die gemäß einer Spannung am internen Knoten Lesedaten erzeugt.

[0030] Die oben genannte Dünnfilmmagnetspeichervorrichtung kann die Strommenge, die durch den Magnetspeicherbereich (Tunnelmagnetwiderstandselement) während des Datenlesens fließt, gemäß einer externen Eingabe einstellen. Folglich ist es möglich, eine ausreichende Datenlesetoleranz sicherzustellen, selbst wenn Herstellungsunregelmäßigkeiten der Magnetspeicherbereiche vorliegen.

[0031] Eine Dünnfilmmagnetspeichervorrichtung gemäß einem anderen Aspekt der Erfindung enthält eine Mehrzahl von Speicherzellen, die jeweils eine Datenspeicherung durchführen; und eine Mehrzahl von Datenleitungen, die gemäß vorbestimmten Segmenten der Mehrzahl von Speicherzellen jeweils angeordnet sind. Jede der Mehrzahl von Speicherzellen enthält einen Magnetspeicherbereich mit einem ersten oder zweiten elektrischen Widerstand, gemäß einem Pegel der gespeicherten Daten; und ein Zugriffselement, das den Magnetspeicherbereich in Reihe zwischen eine Entsprechende der Mehrzahl von Datenleitungen und einer ersten Spannung schaltet, und selektiv eingeschaltet wird. Die Dünnfilmmagnetspeichervorrichtung enthält ferner eine Stromversorgungsschaltung, die einen Strom liefert, der durch den Magnetspeicherbereich fließt. Die Stromversorgungsschaltung liefert einen ersten konstanten Strom an mindestens eine der Datenleitungen in einem normalen Operationsmodus, und einen zweiten konstanten Strom, der größer als der erste konstante Strom ist, an mindestens eine der Datenleitungen in einem anderen Operationsmodus.

[0032] Die oben genannte Dünnfilmmagnetspeichervorrichtung kann die Menge des fließenden Stroms des Magnetspeicherbereichs in einem anderen Operationsmodus korrespondierend zu dem Einbrenntest größer setzen als in den normalen Operationsmodus. Folglich wird es möglich, effektiv einen Fehlerbeschleunigungstest durchzuführen, um die Zuverlässigkeit der MRAM-Vorrichtung zu verbessern.

[0033] Darüber hinaus enthält die Dünnfilmmagnetspeichervorrichtung vorzugsweise ferner eine Dummyspeicherzelle, die für M-Speicherzellen bereitgestellt ist (M: ein ganzzahliger Wert nicht kleiner als 2) von der Mehrzahl von Speicherzellen. Die Dummyspeicherzelle enthält vorzugsweise einen Dummymagnetspeicherbereich mit einem elektrischen Zwischenwiderstandswert, der zwischen dem ersten und dem zweiten elektrischen Widerstandswert liegt; und ein Dummyzugriffselement, das elektrisch mit dem Dummymagnetspeicherbereich in Reihe geschaltet ist, zwischen einer der Mehrzahl von Datenleitungen und der ersten Spannung, und das selektiv eingeschaltet wird. Eine in dem anderen Operationsmodus an den Dummymagnetspeicherbereich angelegte Strombelastung ist vorzugsweise größer als eine Strombelastung, die an den Magnetspeicherbereich in mindestens einer Testzielspeicherzelle von der Mehrzahl von Speicherzellen angelegt wird.

[0034] Die oben genannte Dünnfilmmagnetspeichervorrichtung kann eine Strombelastung gemäß der Differenz in der Zugriffshäufigkeit zwischen der Dummyspeicherzelle und der normalen Speicherzelle während des Einbrenntests verwenden.

[0035] Die vorangegangenen und andere Aufgaben, Merkmale, Aspekte und Vorteile der Erfindung werden im folgenden unter Bezugnahme auf die beigefügten Zeichnungen erklärt. Es zeigen:

[0036] Fig. 1 ein schematisches Blockdiagramm eines Gesamtaufbaus einer MRAM-Vorrichtung 1 gemäß einem ersten Ausführungsbeispiel der Erfindung;

[0037] Fig. 2 ein Schaltungsdiagramm eines Aufbaus ei-

nes Speicherarrays und dessen Peripherieschaltungen nach Fig. 1;

[0038] Fig. 3 ein Schaltungsdiagramm eines Aufbaus einer Datenleseschaltung nach Fig. 2;

5 [0039] Fig. 4 ein Schaltungsdiagramm eines Aufbaus von Konstantstromversorgungsschaltungen 70 und 71 nach Fig. 3;

[0040] Fig. 5 ein Schaltungsdiagramm eines Aufbaus einer Datenschreibschaltung nach Fig. 2;

10 [0041] Fig. 6 ein Zeitdiagramm zur Erklärung der Datenleseoperation und der Datenschreiboperation der MRAM-Vorrichtung gemäß dem ersten Ausführungsbeispiel;

[0042] Fig. 7 ein Schaltungsdiagramm eines Aufbaus der Konstantstromversorgungsschaltungen 70 und 71 gemäß einer Modifikation des ersten Ausführungsbeispiels;

15 [0043] Fig. 8 ein Schaltungsdiagramm eines Aufbaus eines Überwachungswiderstandes nach Fig. 7;

[0044] Fig. 9 ein Schaltungsdiagramm des Aufbaus von Konstantstromversorgungsschaltungen 70 und 71 gemäß einem zweiten Ausführungsbeispiel der Erfindung;

20 [0045] Fig. 10 ein Schaltungsdiagramm eines Aufbaus eines Spaltendekoders gemäß einer ersten Modifikation des zweiten Ausführungsbeispiels;

[0046] Fig. 11 ein Schaltungsdiagramm eines ersten Aufbaus eines Wortleitungstreibers gemäß der ersten Modifikation des zweiten Ausführungsbeispiels;

25 [0047] Fig. 12 ein Schaltungsdiagramm eines zweiten Aufbaus des Wortleitungstreibers gemäß der ersten Modifikation des zweiten Ausführungsbeispiels;

30 [0048] Fig. 13 ein Schaltungsdiagramm eines Aufbaus eines Speicherarrays mit einer Lesegatestruktur und Peripherieschaltungen davon;

[0049] Fig. 14 ein Zeitdiagramm zur Erklärung der Datenleseoperation und der Datenschreiboperation einer MRAM-

35 Vorrichtung mit der Lesegatestruktur;

[0050] Fig. 15 ein Schaltungsdiagramm eines Aufbaus eines Lesespaltdekodierungsabschnitts in einem Spaltendekoder gemäß der zweiten Modifikation des zweiten Ausführungsbeispiels;

40 [0051] Fig. 16 ein Schaltungsdiagramm eines Aufbaus eines Schreibspaltdekodierungsabschnitts in dem Spaltendekoder gemäß der zweiten Modifikation des zweiten Ausführungsbeispiels;

45 [0052] Fig. 17 ein Schaltungsdiagramm eines Aufbaus einer Datenschreibschaltung gemäß der zweiten Modifikation des zweiten Ausführungsbeispiels;

[0053] Fig. 18 ein Schaltungsdiagramm eines Aufbaus einer Spannungseinstellungsschaltung 310 für einen Einbrennmodus gemäß einer dritten Modifikation des zweiten Ausführungsbeispiels;

50 [0054] Fig. 19 ein Schaltungsdiagramm eines ersten Aufbaus des Lesewortleitungstreiberabschnitts gemäß einer vierten Modifikation des zweiten Ausführungsbeispiels;

[0055] Fig. 20 ein Schaltungsdiagramm eines zweiten Aufbaus eines Lesewortleitungstreiberabschnitts gemäß der vierten Modifikation des zweiten Ausführungsbeispiels;

55 [0056] Fig. 21 eine Wellenform einer aktiven Periode eines normalen Reihentestauswahlsignals und eines Dummyreihentestauswahlsignals nach Fig. 20;

60 [0057] Fig. 22 ein schematisches Diagramm eines Aufbaus einer MTJ-Speicherzelle;

[0058] Fig. 23 eine Ansicht zur Erklärung der Datenleseoperation für das Lesen von Daten aus der MTJ-Speicherzelle;

[0059] Fig. 24 eine Ansicht zur Erklärung einer Datenschreiboperation zum Schreiben von Daten in die MTJ-Speicherzelle; und

[0060] Fig. 25 eine Ansicht zur Erklärung der Beziehung

zwischen einem Datenschreibstrom und der Magnetisierungsrichtung eines Tunnelmagnetwiderstandselements während des Datenschreibens.

[0061] Im folgenden werden unter Bezugnahme auf die beigefügten Zeichnungen bevorzugte Ausführungsbeispiele der Erfindung im Einzelnen beschrieben.

Erstes Ausführungsbeispiel

[0062] Wie in Fig. 1 gezeigt, führt eine MRAM-Vorrichtung 1 gemäß den Ausführungsbeispielen der Erfindung einen zufälligen Zugriff in Antwort auf ein extern angelegtes Steuersignal CMD und ein Adressensignal ADD durch, sowie eine Eingabe von Schreibdaten DIN und eine Ausgabe von Lesedaten DOUT.

[0063] Die MRAM-Vorrichtung 1 enthält eine Steuerung 5, die die Gesamtoperation der MRAM-Vorrichtung 1 in Antwort auf das Steuersignal CMD steuert, und ein Speicherarray 10, das eine Mehrzahl von Speicherzellen enthält, die in einer Matrix angeordnet sind. Obwohl der Aufbau des Speicherarrays 10 später im einzelnen beschrieben wird, sei angemerkt, daß eine Mehrzahl von Schreibwortleitungen WWL und eine Mehrzahl von Lesewortleitungen RWL angeordnet sind, die jeweils den Reihen der MTJ-Speicherzellen (im folgenden einfach als "Speicherzellenreihen" bezeichnet) entsprechen. Darüber hinaus sind eine Mehrzahl von Bitleitungen BL und /BL angeordnet, die jeweils den Spalten der MTJ-Speicherzellen (im folgenden ebenfalls als "Speicherzellenspalten" bezeichnet) entsprechen.

[0064] Die MRAM-Vorrichtung 1 enthält ferner einen Reihendekoder 20, einen Spaltendekoder 25, einen Wortleitungstreiber 30 und Lese/Schreib-Steuerschaltungen 50 und 60.

[0065] Der Reihendekoder 20 wählt eine Reihe in dem Speicherzellenarray 10 gemäß einer Reihenadresse RA aus, die durch das Adressensignal ADD repräsentiert ist. Der Spaltendekoder 25 wählt eine Spalte in dem Speicherarray 10 gemäß einer Spaltadresse aus, die durch das Adressensignal ADD repräsentiert ist. Der Wortleitungstreiber 30 aktiviert selektiv die Lesewortleitung RWL oder die Schreibwortleitung WWL basierend auf dem Reihenauswahlergebnis des Reihendekoders 20. Die Reihenadresse RA und die Spaltenadresse CA kennzeichnen eine Speicherzelle, die als Datenlesezielspeicherzelle oder Datenschreibzielspeicherzelle bezeichnet wird (im folgenden auch einfach "ausgewählte Speicherzelle" genannt).

[0066] Jede Schreibwortleitung WWL ist mit einer Maschenanspannung Vss in einer Region 40 verbunden, die auf einer dem Wortleitungstreiber 30 gegenüberliegenden Seite des Speicherarrays 10 angeordnet ist. Die Lese/Schreib-Steuerschaltungen 50 und 60 bezeichnen allgemein Schaltungsgruppen, die in benachbarten Regionen zum Speicherarray 10 angeordnet sind, um einen Datenschreibstrom und einen Lesestrom (Datenlesestrom) an die Bitleitungen BL und /BL einer ausgewählten Speicherzellenspalte (im folgenden einfach als "ausgewählte Spalte" bezeichnet) zu liefern, die zu der ausgewählten Speicherzelle während des Datenschreibens und Datenlesens jeweils korrespondiert.

[0067] Wie in Fig. 2 gezeigt, enthält das Speicherarray 10 MTJ-Speicherzellen MC, die in n-Reihen \times m-Spalten angeordnet sind (n, m: natürliche Zahlen). Der Aufbau jeder MTJ-Speicherzelle ist der gleiche wie der in Fig. 22 gezeigte. Jede MTJ-Speicherzelle enthält ein Tunnelmagnetwiderstandselement TMR, das als ein Magnetspeicherabschnitt dient, dessen elektrischer Widerstand gemäß dem Pegel der gespeicherten Daten geändert wird, und einen Zugriffstransistor ATR, der als ein Zugriffsgate dient.

[0068] Die Lesewortleitungen RWL1 bis RWLn und die Schreibwortleitungen WWL1 bis WWLn sind bereitgestellt, um jeweils zu den 1-ten bis n-ten Speicherzellenreihen zu korrespondieren. Die Bitleitungen BL1, /BL1 bis BLm, /BLm, die die Bitleitungspaare BLP1 bis BLPm bilden, sind korrespondierend zu den 1-ten bis n-ten Speicherzellenspalten bereitgestellt.

[0069] In der folgenden Beschreibung werden die Bezugssymbole WWL, RWL, BL(/BL) und BLP jeweils verwendet, wenn die Schreibwortleitung(en), die Lesewortleitung(en), die Bitleitung(en) und das Bitleitungspaar(e) allgemein ausgedrückt werden sollen. Um eine bestimmte Schreibwortleitung, eine bestimmte Lesewortleitung, eine bestimmte Bitleitung und ein bestimmtes Bitleitungspaar auszudrücken, werden den Bezugssymbolen, die diese Leitungen kennzeichnen, entsprechend ergänzt, zum Beispiel derart, daß sie jeweils als RWL1, WWL1, BL1 (/BL1) und BLP1 ausgedrückt werden.

[0070] Die MTJ-Speicherzellen MC sind mit den Bitleitungen BL oder /BL in jeder anderen Spalte verbunden. Für den Fall von MTJ-Speicherzellen, die zu der ersten Speicherzellenspalte gehören, ist zum Beispiel die MTJ-Speicherzelle in der ersten Reihe mit der Bitleitung /BL1 verbunden, und die MTJ-Speicherzelle in der zweiten Reihe mit der Bitleitung BL1. In ähnlicher Weise sind die MTJ-Speicherzellen in ungeraden Reihen mit den Bitleitungen /BL1 bis /BLm in den ersten Bitleitungspaaren und diejenigen in geraden Reihen mit den Bitleitungen BL1 bis BLm jeweils verbunden.

[0071] Das Speicherarray 10 enthält ferner eine Mehrzahl von Dummyspeicherzellen DMC, die jeweils mit den Bitleitungen BL1, /BL1 bis BLm, /BLm verbunden sind. Die Dummyspeicherzellen DMC sind in zwei Reihen \times m Spalten derart angeordnet, daß jede Dummyspeicherzelle DMC zu einer der Dummylesewortleitungen DRWL1 und DRWL2 korrespondiert. Die Dummyspeicherzellen, die zu der Dummylesewortleitung DRWL1 korrespondieren, sind jeweils mit den Bitleitungen BL1, BL2 bis BLm verbunden. Die anderen Dummyspeicherzellen, die zu der Dummylesewortleitung DRWL2 korrespondieren, sind jeweils mit den Bitleitungen /BL1, /BL2 bis /BLm verbunden.

[0072] Jede Dummyspeicherzelle DMC enthält ein Dummywiderstandselement TMRd und ein Dummyzugriffselement ATRd. Der elektrische Widerstand Rd des Dummywiderstandselement TMRd ist auf einen Zwischenwert der elektrischen Widerstände Rmax und Rmin gesetzt, die den Datenpegeln "1" und "0" der gespeicherten Daten in jeder MTJ-Speicherzelle MC jeweils entsprechen, also derart gesetzt, daß die Beziehung $M_{max} > R_d > R_{min}$ erfüllt ist. Das Dummyzugriffselement ATRd enthält typischerweise einen Feldeffekttransistor ähnlich wie für das Zugriffselement jeder MTJ-Speicherzelle. Folglich wird in der folgenden Beschreibung auf das Dummyzugriffselement auch als "Dummyzugriffstransistor ATRd" Bezug genommen.

[0073] Die Dummyschreibwortleitungen DWWL1 und DWWL2 sind ferner korrespondierend zu den jeweiligen Spalten der Dummyspeicherzellen angeordnet. Es ist nicht notwendig, die Dummyschreibwortleitungen in Abhängigkeit von dem Aufbau des Dummywiderstandselements TMRd anzuordnen. Um jedoch die Kontinuität der Form der Speicherzelle zu gewährleisten und ein Verkomplizieren des Herstellungsprozesses zu vermeiden, werden Dummyschreibwortleitungen DWWL1 und DWWL2 bereitgestellt, die in gleicher Weise ausgelegt sind, wie die Schreibwortleitungen WWL.

[0074] Falls während des Datenlesens eine bestimmte ungerade Spalte in Übereinstimmung mit einem Spaltenauswahlergebnis ausgewählt wird, und die MTJ-Speicherzellen

MC jeweils mit den Bitleitungen /BL1 bis /BLm verbunden werden, dann wird die Dummylesewortleitung DRWL1 aktiviert und die Dummyspeicherzellen DMC werden mit den Bitleitungen BL1 bis BLm jeweils verbunden. Falls während des Datenlesens eine bestimmte gerade Spalte ausgewählt wird und die MTJ-Speicherzellen jeweils mit den Bitleitungen BL1 bis BLm verbunden werden, dann wird die Dummylesewortleitung DRWL2 aktiviert und die Dummyspeicherzellen DMC werden jeweils mit den Bitleitungen /BL1 bis /BLm verbunden.

[0075] Die Dummylesewortleitungen DRWL1 und DRWL2 werden auch allgemein als Dummylesewortleitungen DRWL bezeichnet. Darüber hinaus werden ein Hochspannungszustand (Leistungsversorgungsspannungen Vcc1, Vcc2 oder Vcc3) und ein Niederspannungszustand (Massespannung Vss) jedes Signals und einer Signalleitung jeweils als "H-Pegel" und "L-Pegel" bezeichnet.

[0076] Während des Datenschreibens verbindet der Wortleitungstreiber 30 ein Ende der Schreibwortleitung WWL, die einer ausgewählten Speicherzellenspalte entspricht (im folgenden auch als "ausgewählte Spalte" bezeichnet) mit der Leistungsversorgungsspannung Vcc3. Wie oben beschrieben, wird das andere Ende jeder Schreibwortleitung WWL mit der Massespannung Vss in der Region 40 verbunden, wobei es möglich ist, einen Datenschreibstrom Ip in einer Spaltenrichtung an die Schreibwortleitung WWL auf der ausgewählten Spalte von dem Wortleitungstreiber 30 zur Region 40 zu liefern. Andererseits verbindet der Wortleitungstreiber 30 nichtausgewählte Schreibwortleitungen mit der Massespannung Vss.

[0077] Während des Datenlesens aktiviert der Wortleitungstreiber 30 selektiv die Lesewortleitung RWL und Dummylesewortleitungen DRWL1 und DRWL2 auf "H-Pegel" (Leistungsversorgungsspannung Vcc1) gemäß dem Reihenauswahlergebnis.

[0078] Im folgenden wird die Spaltenauswahloperation der MRAM-Vorrichtung 1 beschrieben.

[0079] Die Schreibspaltenauswahlleitungen WCSL1 bis WCSLm und die Lesespaltenauswahlleitungen RCSL1 bis RCSLm zur Durchführung der Spaltenauswahl sind jeweils bereitgestellt, um zu der 1-ten bis m-ten Speicherzellenspalte zu korrespondieren.

[0080] Während des Datenschreibens aktiviert der Spaltendekoder 25 eine der Schreibspaltenauswahlleitungen WCSL1 bis WCSLm auf einen ausgewählten Zustand (H-Pegel), in Übereinstimmung mit dem Dekodierergebnis der Spaltenadresse CA, also dem Spaltenauswahlergebnis. Während des Datenlesens aktiviert der Spaltendekoder 25 eine der Lesespaltenauswahlleitungen RCSL1 bis RCSLm auf einen ausgewählten Zustand (H-Pegel) in Übereinstimmung mit dem Spaltenauswahlergebnis.

[0081] Ferner sind ein Schreibdatenbuspaar WDBP, das Schreibdaten überträgt, und ein Lesedatenbuspaar RDBP, das Lesedaten überträgt, unabhängig voneinander angeordnet. Das Schreibdatenbuspaar WDBP enthält Schreibdatenbusse WDB und /WDB, die zueinander komplementär sind, und das Lesedatenbuspaar RDBP enthält Lesedatenbusse RDB und /RDB, die zueinander komplementär sind.

[0082] Die Lese/Schreib-Steuerschaltung 50 enthält eine Datenschreibschaltung 51W und eine Datenleseschaltung 51R sowie Lesespaltenauswahlgates RCSG1 bis RCSGm und Schreibspaltenauswahlgates WCSG1 bis WCSGm, die korrespondiert zu den jeweiligen Speicherzellenspalten bereitgestellt sind.

[0083] Da die Lesespaltenauswahlgates RCSG1 bis RCSGm, die entsprechend zu jeweiligen Speicherzellenspalten angeordnet sind, den gleichen Aufbau aufweisen, und da die Schreibspaltenauswahlgates WCSG1 bis

WCSGm, die korrespondiert zu den jeweiligen Speicherzellenspalten angeordnet sind, den gleichen Aufbau aufweisen, wird nur der Aufbau des Lesespaltenauswahlgates RCSG1 und des Schreibspaltenauswahlgates WCSG1, die zu den Bitleitungen BL1 und /BL1 korrespondieren, beschrieben.

[0084] Das Lesespaltenauswahlgate RCSG1 enthält einen Transistorschalter, der zwischen den Lesedatenbus RDB und der Bitleitung BL1 elektrisch geschaltet ist, und einen Transistorschalter, der zwischen den Lesedatenbus /RDB und der Bitleitung /BL1 elektrisch geschaltet ist. Diese Transistorschalter werden gemäß der Spannung der Lesespaltenauswahlleitung RCSL1 ein- und ausgeschaltet. Falls die Lesespaltenauswahlleitung RCSL1 auf einen ausgewählten Zustand (H-Pegel) aktiviert ist, verbindet das Lesespaltenauswahlgate RCSG1 die Lesedatenbusse RDB und /RDB jeweils mit den Bitleitungen BL1 und /BL1 elektrisch.

[0085] Das Schreibspaltenauswahlgate WCSG1, das im Aufbau dem Lesespaltenauswahlgate RCSG1 ähnlich ist, enthält zwei Transistoren, die gemäß der Spannung der Schreibspaltenauswahlleitung WCSL1 ein- und ausgeschaltet werden. Falls die Schreibspaltenauswahlleitung WCSL1 auf einen ausgewählten Zustand (H-Pegel) aktiviert wird, verbindet das Schreibspaltenauswahlgate WCSG1 die Schreibdatenbusse WDB und /WDB jeweils elektrisch mit den Bitleitungen BL1 und /BL1.

[0086] In der folgenden Beschreibung werden die Lesespaltenauswahlleitungen RCSL1 bis RCSLm, die Schreibspaltenauswahlleitungen WCSL1 bis WCSLm, die Lesespaltenauswahlgates RCSG1 bis RCSGm und die Schreibspaltenauswahlgates WCSG1 bis WCSGm ebenfalls jeweils allgemein als Lesespaltenauswahlleitungen RCSL, Schreibspaltenauswahlleitungen WCSL, Lesespaltenauswahlgates RCSG und Schreibspaltenauswahlgates WCSG bezeichnet.

[0087] Die Lese/Schreib-Steuerschaltung 60 enthält Kurzschlußschalttransistoren 61-1 bis 62-m, die korrespondierend zu den Speicherzellenspalten jeweils bereitgestellt sind. Die Kurzschlußschalttransistoren 62-1 bis 62-m werden in Antwort auf die Schreibspaltenauswahlleitungen WCSL1 bis WCSLm jeweils ein- und ausgeschaltet. Der Kurzschlußschalttransistor 62-1, der zum Beispiel korrespondierend zu der ersten Speicherzellenspalte bereitgestellt ist, verbindet ein Ende (dem Schreibspaltenauswahlgate WCSG1 gegenüberliegende Seite) der Bitleitungen BL1 und /BL1 miteinander, in Antwort auf die Aktivierung (H-Pegel) der Schreibspaltenauswahlleitung WCSL1.

[0088] In ähnlicher Weise verbinden die Kurzschlußschalttransistoren 62-2 bis 62-m, die jeweils korrespondierend zu den anderen Speicherzellenspalten bereitgestellt sind, ein Ende der Bitleitungen BL und /BL, die die jeweiligen Bitleitungspaare BLP bilden, jeweils miteinander.

[0089] Die Lese/Schreib-Steuerschaltung 60 enthält ferner Vorladetransistoren 64-1a, 64-1b bis 64-ma, 64-mb, die zwischen den Bitleitungen BL1, /BL1 bis BLm, /BLm und der Massespannung Vss jeweils bereitgestellt sind. Die Vorladetransistoren 64-1a, 64-1b bis 64-ma, 64-mb werden in Antwort auf die Aktivierung eines Bitleitungsvorladesignals BLPR eingeschaltet, um dadurch die Bitleitungen BL1, /BL1 bis BLm, /BLm jeweils mit der Massespannung Vss vorzuladen.

[0090] In der folgenden Beschreibung werden die Kurzschlußschalttransistoren 62-1 bis 62-m und die Vorladetransistoren 64-1a, 64-1b bis 64-ma, 64-mb auch allgemein als Kurzschlußschalttransistoren 62 und Vorladetransistoren 64 bezeichnet.

[0091] Das Bitleitungsvorladesignal BLPR, das durch die Steuerschaltung 5 erzeugt wird, wird auf den H-Pegel in einer vorbestimmten Zeitperiode aktiviert, bevor das Datenle-

sen durchgeführt wird, während die MRAM-Vorrichtung 1 aktiv ist. Andererseits wird das Bitleitungsvorladesignal BLPR auf L-Pegel deaktiviert, und die Vorladetransistoren 64 werden während der Datenleseoperation und der Datenschieboperation ausgeschaltet, während die MRAM-Vorrichtung 1 aktiv ist.

[0092] Als nächstes wird der Aufbau der Datenleseschaltung und der der Datenschiebeschaltung beschrieben.

[0093] Wie in Fig. 3 gezeigt, enthält die Datenleseschaltung 51R Konstantstromversorgungsschaltungen 70 und 71, die eine Leistungsverorgungsspannung Vcc1 empfangen, und die einen konstanten Strom I (Lesen) jeweils an interne Knoten Ns1 und Ns2 liefern, einen N-Typ MOS-Transistor 73, der elektrisch zwischen dem internen Knoten Ns1 und dem Lesedatenbus RDB geschaltet ist, einen N-Typ MOS-Transistor 74, der zwischen dem internen Knoten Ns2 und dem Datenbus /RDB elektrisch geschaltet ist, und einen Verstärker 75, der die Spannungspegeldifferenz zwischen dem internen Knoten Ns1 und Ns2 verstärkt und Lesedaten DOUT ausgibt.

[0094] Da die Konstantstromversorgungsschaltungen 70 und 71 im Aufbau gleich sind, zeigt Fig. 4 lediglich den typischen Aufbau der Konstantstromversorgungsschaltung 70.

[0095] Wie in Fig. 4 gezeigt, enthält die Konstantstromversorgungsschaltung 70 eine Spannungseinstellungsschaltung 100, die eine Referenzspannung Vrs einstellt, Eingangsanschlüsse 101 und 102, eine Spannungsschalterschaltung 103, und eine Stromquelle 104, die einen konstanten Strom I (Lesen) gemäß einer Steuerspannung Vctr erzeugt, die an einem internen Knoten Ns1 an die Spannungsschalterschaltung 103 übertragen wird.

[0096] Die Spannungseinstellungsschaltung 100 erzeugt eine Referenzspannung Vrs, um die Menge des Datenlesestroms Is im normalen Betrieb zu setzen. In einem Testmodus wird die Testreferenzspannung Vrt zum Setzen der Menge des Lesestroms Is in den Eingangsanschluß 101 eingegeben. Ein Testeingangssignal TE, das auf den H-Pegel im Testmodus aktiviert ist, und das im Normalbetrieb auf L-Pegel deaktiviert ist, wird an den Eingangsanschluß 102 angelegt.

[0097] Die Spannungsschalterschaltung 103 enthält Transferelemente 107 und 108, die komplementär ein- und ausgeschaltet werden, in Antwort auf das Testeingangssignal TE. Die Spannungsschalterschaltung 103 überträgt als Steuerspannung Vtr die Referenzspannung Vrs von der Spannungseinstellungsschaltung 100 an einen Knoten N10 in Antwort auf das Testeingangssignal TE im Normalbetrieb. Auf der anderen Seite überträgt die Spannungsschalterschaltung 103 als Steuerspannung Vctr eine Testreferenzspannung Vrt, die an den Eingangsanschluß 101 angelegt wird, an den Knoten N10 im Testmodus.

[0098] Die Stromquelle 104 enthält einen N-Kanal MOS-Transistor 105 und P-Kanal MOS-Transistoren 106a und 106b. Der N-Kanal MOS-Transistor 105 und der P-Kanal MOS-Transistor 106a sind in Reihe zwischen die Leistungsverorgungsspannung Vcc1 und die Massespannung Vss elektrisch geschaltet. Das Gate des N-Kanal MOS-Transistors 105 ist mit dem Knoten N10 verbunden. Der Verbindungsknoten zur Verbindung des N-Kanal MOS-Transistors 105 mit dem P-Kanal MOS-Transistor 106a ist mit den Gates der P-Kanal MOS-Transistoren 106a und 106b verbunden.

[0099] Aufgrund des oben beschriebenen Stromspiegelaufbaus liefert die Stromquelle 104 einen konstanten Strom I (Lesen) gemäß der Steuerspannung Vctr des Knotens N10 an den internen Knoten Ns1.

[0100] Mit dem oben beschriebenen Aufbau wird die

Menge des Lesestroms Is, der an den internen Knoten Ns1 (Ns2) angelegt wird, gemäß der Referenzspannung Vrs gesetzt, die von der Spannungseinstellungsschaltung 100 im Normalbetrieb ausgegeben wird, und gemäß der Testreferenzspannung Vrt, die in den Eingangsanschluß 101 von extern im Testmodus gesetzt wird.

[0101] Die Spannungseinstellungsschaltung 100 enthält einen Spannungseinstellungsabschnitt 110 und einen Einstellungseingabeabschnitt 115. Der Spannungseinstellungsabschnitt 110 stellt die Referenzspannung Vrs gemäß den gesetzten Werten des Einstellungseingabeabschnitts 115 ein.

[0102] Der Spannungseinstellungsschaltung 110 enthält P-Kanal MOS-Transistoren 120 bis 124, die in Reihe zwischen einen Knoten N11, der die Referenzspannung Vrs erzeugt, und der Massespannung Vss geschaltet sind, und einen Operationsverstärker 125 und einen P-Kanal MOS-Transistor 126, die elektrisch zwischen den Knoten N11 und der Leistungsverorgungsspannung Vcc1 geschaltet sind. Der Operationsverstärker 125 verstärkt die Spannungs-differenz zwischen einer Spannung V α des Verbindungsknotens N12 der Verbindung der P-Kanal MOS-Transistoren 120 und 121, und einer vorbestimmten Spannung Vrs0, und gibt die verstärkte Spannungs-differenz an das Gate des Transistors 126 aus.

[0103] Die Gates der P-Kanal MOS-Transistoren 120 bis 124 sind jeweils mit der Massespannung Vss verbunden. Im Ergebnis funktioniert jeder der Transistoren 120 bis 124 als ein Widerstandselement.

[0104] Falls die Gatespannung des P-Kanal MOS-Transistors 126 gemäß der Ausgabe des Operationsverstärkers 125 gesteuert wird, wird der Spannungspegel der Referenzspannung Vrs derart gesteuert, daß die Spannung am Knoten N12 gleich der vorbestimmten Spannung Vrs0 ist. Die vorbestimmte Spannung Vrs0 wird im Lichte der Referenzspannung Vrs gesetzt.

[0105] Die Spannung V α am Knoten N12 wird erhalten, indem die Transistoren 120 bis 124 die Referenzspannung Vrs teilen, die jeweils als Widerstandselemente dienen. Falls dieses Spannungsteilungsverhältnis als α ($\alpha = Vrs/V\alpha$) definiert wird, wird die Referenzspannung Vrs als $Vrs = \alpha \times Vrs0$ ausgedrückt, indem die vorbestimmte Spannung Vrs verwendet wird, die in den Operationsverstärker 125 eingegeben wird.

[0106] Das Spannungsteilungsverhältnis α wird durch das Verhältnis eines Widerstandswerts zwischen dem Knoten N11 und der Massespannung Vss zu einem Widerstandswert zwischen dem Knoten N12 und der Massespannung Vss bestimmt. Das Widerstandswertverhältnis ist gemäß der Eingabe in den Einstellungseingabeabschnitt 115 von außen programmierbar.

[0107] Durch nicht direktes Programmieren der Referenzspannung Vrs, sondern durch Programmieren des Spannungsteilungsverhältnisses α in Bezug zu der Eingangsspannung des Operationsverstärkers 125 ist es folglich möglich, die Antwort und den Rauschwert der Referenzspannung Vrs zu verbessern.

[0108] Der Einstellungseingabeabschnitt 115 enthält Paare von Sicherungselementen als Programmelemente und Transferelemente, die parallel zu den Transistoren 121 bis 123 jeweils bereitgestellt sind. Das Transferelement 131 und das Sicherungselement 141 sind zum Beispiel parallel zu dem Transistor 121 in Serie geschaltet.

[0109] Das Transferelement 132 und das Sicherungselement 142, die seriell verbunden sind, sind parallel zu dem Transistor 122 angeordnet. In ähnlicher Weise sind das Transferelement 133 und das Sicherungselement 143, die in Serie verbunden sind, parallel zu dem Transistor 123 angeordnet.

[0110] Die Sicherungselemente 141 bis 143 werden in

Antwort auf das Einfallen von Laserlicht von außen oder durch Anwendung eines Signals hoher Spannung von außen über die Durchbrenneingangsknoten 151 bis 153 jeweils durchtrennt, wodurch ein leitender Zustand in einen nichtleitenden Zustand geändert wird.

[0111] Der Einstellungseingabeabschnitt 115 enthält auch einen Eingangsanschluß 160, der ein Steuersignal TT erhält, das in einem Lesestromeinstellungsmodus aktiviert wird, Eingangsanschlüsse 161 bis 163, in die jeweils die Einstellungssignale TV1 bis TV3 eingegeben werden, ein Steuergate 171, das gemäß dem Pegel des Steuersignals TT und des Einstellungssignals TV1 ein/aus steuert, ein Steuergate 172, das das Transfergate 132 gemäß dem Pegel des Steuersignals TT und des Einstellungssignals TV2 ein/aus steuert, und ein Steuergate 173, das das Transfergate 133 gemäß dem Pegel des Steuersignals TT und des Einstellungssignals TV3 ein/aus steuert.

[0112] In einem normalen Modus ist das Steuersignal TT auf L-Pegel deaktiviert, und die Ausgangssignale der Steuergates 171 bis 173 sind jeweils auf H-Pegel fixiert. In Antwort auf die Pegel der Steuergates 171 bis 173 werden die Transfergates 131 bis 133 jeweils eingeschaltet. Folglich wird das Spannungsteilungsverhältnis α gemäß den Zuständen (leitender Zustand oder nichtleitender Zustand) der Sicherungselemente 141 bis 143 jeweils bestimmt.

[0113] Falls das Steuersignal TT auf H-Pegel aktiviert wird, werden die Ausgangssignale der Steuergates 171 bis 173 auf L-Pegel in Antwort auf die Einstellungssignale TV1 bis TV3 jeweils gesetzt, wodurch es möglich wird, korrespondierende Transfergates 131 bis 133 jeweils auszuschalten. Falls das Steuersignal TT und das Einstellungssignal TV1 auf H-Pegel aktiviert sind, kann zum Beispiel das Transfergate 131 ausgeschaltet werden, und ein Pseudozustand, der äquivalent zu einem Zustand ist, bei dem das Sicherungselement 141 durchgebrannt ist, kann erzeugt werden. In ähnlicher Weise können pseudodurchtrennte Zustände (nicht leitende Zustände) für die Sicherungselemente 142 und 143 jeweils erzeugt werden.

[0114] Als Ergebnis wird in dem Einstellungseingangsabschnitt 115 das Spannungsteilungsverhältnis α gemäß dem Steuersignal TT und den Einstellungssignalen TV1 bis TV3 geändert, und die Referenzspannung Vrs zur Einstellung der Menge des Lesestroms kann variabel gesetzt werden.

[0115] In dem Einstellungsmodus ist es folglich möglich, das Spannungsteilungsverhältnis α in Antwort auf die Eingabe eines digitalen Signals reversibel einzustellen, und die Menge des Stroms einfach einzustellen, ohne die Sicherungselemente wirklich zu durchtrennen.

[0116] Nach Ende des Einstellungsmodus, falls die Sicherungselemente basierend auf einem Einstellungsergebnis tatsächlich durchgebrannt sind, ist es möglich, die Referenzspannung Vrs zu programmieren, um einen entsprechenden Lesestrom für die Spannungseinstellungsschaltung 100 in nichtflüchtiger Weise zu erhalten. Als Ergebnis erzeugt im normalen Modus die Spannungseinstellungsschaltung 100 eine entsprechende Referenzspannung Vrs, die mittels Durchtrennung der Sicherung programmiert wird. Selbst wenn Herstellungsunregelmäßigkeiten in Bezug auf die Tunnelfilmdicke oder dergleichen vorhanden sind, ist es folglich möglich, eine ausreichende Datenlesetoleranz sicherzustellen.

[0117] Die Anzahl von Transistoren zum Setzen des Spannungsteilungsverhältnisses α ist nicht auf die in Fig. 4 gezeigte Anzahl begrenzt, sondern kann entsprechend gewählt werden. In diesem Fall, falls Paare von Transfergates und Sicherungselementen und Steuersignaleingangsanschlüsse, die in gleicher Weise gesteuert werden, parallel zu einer willkürlichen Anzahl von Transistoren bereitgestellt wer-

den, die als Widerstandselemente dienen, ist es möglich, den Satzpegel der Referenzspannung Vrs zu unterteilen.

[0118] In dem Aufbau nach Fig. 4 sind die Sicherungselemente, die in die nichtleitenden Zustände übergehen, nach Durchtrennen der Sicherung, beispielhaft gezeigt. Alternativ können sogenannte Antisicherungselemente verwendet werden. In diesem Fall, falls die Transfergates 131 bis 133 zur Durchführung eines Einstellungstests parallel mit den Antisicherungselementen jeweils verbunden sind, ist es möglich, die gleichen Vorteile zu erhalten.

[0119] Unter erneuter Bezugnahme auf Fig. 3 wird eine Referenzspannung Vrr an die Gates der N-Typ MOS-Transistoren 73 und 74 jeweils angelegt. Die Widerstände 76 und 77 sind bereitgestellt, um die internen Knoten Ns1 und Ns2 jeweils auf die Massespannung Vss herunterzuziehen. Mit einem derartigen Aufbau kann die Datenleseschaltung 51R einen Lesestrom Is gemäß I (Lesen) liefern, der durch die Spannungseinstellungsschaltung 100, wie in Fig. 4 gezeigt, Schritt für Schritt in nichtflüchtiger Weise eingestellt werden kann, um die Datenbusse RDB und /RDB während des Datenlesens zu lesen.

[0120] Während des Datenlesens wird jeder der Lesedatenbusse RDB und /RDB durch eine der Bitleitungen BL und /BL einer Zelle von der ausgewählten Speicherzelle und der Dummyspeicherzelle auf die Massespannung Vss gezogen. Folglich kann die Datenleseschaltung 51R die gespeicherten Daten der ausgewählten Speicherzelle lesen, indem die Spannungsdifferenz zwischen den internen Knoten Ns1 und Ns2 verstärkt wird.

[0121] Im folgenden wird der Aufbau der Datenschreibschaltung beschrieben.

[0122] Wie in Fig. 5 gezeigt, enthält die Datenschreibschaltung 51W eine Konstantstromversorgungsschaltung 80, die einen Konstantstrom I(Schreiben) liefert, und P-Kanal MOS-Transistoren 81 und 82, die einen Stromspiegel bilden. Als Ergebnis wird die Menge eines Stromes, der an einen internen Knoten Nw0 geliefert wird, gemäß dem Konstantstrom I(Schreiben) gesetzt.

[0123] Die Datenschreibschaltung 51W enthält ferner Inverter 84, 85 und 86, die in Antwort auf einen Betriebsstrom durch den internen Knoten Nw0 arbeiten.

[0124] Der Inverter 84 invertiert den Spannungspegel der Schreibdaten DIN und überträgt pegelinvertierte Schreibdaten DIN an den Schreibdatenbus WDB. Der Inverter 85 invertiert den Spannungspegel der Schreibdaten DIN und überträgt pegelinvertierte Schreibdaten DIN an den Eingangsknoten des Inverters 86. Der Inverter 86 invertiert den Ausgang des Inverters 84 und überträgt das pegelinvertierte Ausgangssignal an den Schreibdatenbus /WDB. Folglich setzt die Datenschreibschaltung 51W die Spannung jedes der Schreibdatenbusse WDB und /WDB entweder auf die Leistungsversorgungsspannung Vcc3 oder die Massespannung Vss in Übereinstimmung mit dem Spannungspegel der Schreibdaten DIN.

[0125] Fig. 6 zeigt ein Zeitdiagramm zur Erklärung der Datenleseoperation und der Datenschreiboperation der MRAM-Vorrichtung 1 gemäß dem ersten Ausführungsbeispiel.

[0126] Im folgenden wird zuerst die Datenleseoperation beschrieben.

[0127] Vor dem Datenlesen werden die Lesedatenbusse RDB und /RDB mit einer Leistungsversorgungsspannung Vcc1 vorgeladen, und die Bitleitungen BL und /BL werden mit Massespannung Vss vorgeladen.

[0128] Während des Datenlesens wird eine Lesewortleitung RWL, die zu einer ausgewählten Speicherzelle korrespondiert, auf einen ausgewählten Zustand (H-Pegel) gemäß einem Reihenauswahlergebnis aktiviert. Als Ergebnis wird

die ausgewählte Speicherzelle elektrisch zwischen eine der Bitleitungen BL und /BL und der Massespannung Vss geschaltet. Darüber hinaus wird eine der Dummysewortleitungen DRWL1 und DRWL2 aktiviert, und die andere Bitleitung BL oder /BL, die nicht mit der MTJ-Speicherzelle MC verbunden ist, wird mit der Dummyspeicherzelle DMC verbunden.

[0129] Andererseits werden die Schreibwortleitungen WWL und die Schreibspaltenauswahlleitung WCSL auf den L-Pegel (Massespannung Vss) jeweils deaktiviert. Es wird kein Strom an die Schreibwortleitungen WWL und die Schreibdatenbusse WDB und /WDB angelegt.

[0130] Folglich wird während des Datenlesens jede der Bitleitungen BL und /BL auf die Massespannung Vss durch die ausgewählte Speicherzelle oder die Dummyspeicherzelle DMC, die als ein Widerstand dient, heruntergezogen. Darüber hinaus wird durch die Datenleseschaltung 51R ein Lesestrom Is an jede der Bitleitungen BL und /BL angelegt, die zu der ausgewählten Speicherzellenspalte korrespondieren. Wie bereits oben beschrieben, kann der Lesestrom Is eingestellt werden, indem die Sicherung durchtrennt wird, was durch die Spannungseinstellungsschaltung 100 erfolgt.

[0131] Als Ergebnis treten Spannungsänderungen gemäß dem elektrischen Widerstand (R_{\max} oder R_{\min}) des Tunnelmagnetwiderstandselements TMR der ausgewählten Speicherzelle jeweils auf den Bitleitungen BL oder /BL und dem Lesedatenbus RDB oder /RDB auf. In ähnlicher Weise treten Spannungsänderungen gemäß dem elektrischen Widerstand RD des Dummywiderstandselements TMRd der Dummyspeicherzelle DMC auf der jeweiligen anderen Bitleitung BL oder /BL und dem anderen Lesedatenbus RDB oder /RDB auf.

[0132] Falls der Pegel der gespeicherten Daten der ausgewählten Speicherzelle zum Beispiel "1" ist (elektrischer Widerstand R_{\max}), hat eine der Bitleitungen BL und /BL, die mit der ausgewählten Speicherzelle verbunden ist, eine Spannungsänderung ΔV_1 ($\Delta V_1 > \Delta V_m$) größer als eine Spannungsänderung ΔV_m , die auf der anderen Bitleitung BL oder /BL auftritt, die mit der Dummyspeicherzelle DMC verbunden ist. In ähnlicher Weise haben die Lesedatenbusse RDB und /RDB jeweils Spannungsänderungen ΔV_{b1} und ΔV_{bm} ($\Delta V_{bm} > \Delta V_{b1}$).

[0133] Die Datenleseschaltung 51R kann die Spannungsdifferenz zwischen den Lesedatenbussen RDB und /RDB, die in oben beschriebener Weise erzeugt wird, erfassen und verstärken und Lesedaten DOUT ausgeben.

[0134] Da die Vorladespannung der Bitleitungen BL und /BL ferner die Massespannung Vss ist, fließt kein Entladestrom von den Bitleitungen BL und /BL in den nichtausgewählten Spalten durch die Zugriffstransistoren, die in Antwort auf die Aktivierung der Lesewortleitung RWL in der ausgewählten Reihe eingeschaltet werden. Als Ergebnis ist es möglich, den Leistungsverbrauch für das Laden und Entladen, das dem Vorladen der Bitleitungen BL und /BL folgt, zu reduzieren.

[0135] Im folgenden wird die Datenschreiboperation beschrieben.

[0136] Die Schreibspaltenauswahlleitung WCSL, die zu einem Spaltenauswahlergebnis korrespondiert, wird auf einen ausgewählten Zustand (H-Pegel) aktiviert, und ein entsprechendes Schreibspaltenauswahlgate WSCG wird eingeschaltet. Entsprechend werden die einen Enden der Bitleitungen BL und /BL in der ausgewählten Spalte, die zu der ausgewählten Speicherzelle korrespondiert, jeweils mit den Schreibdatenbussen WDB und /WDB verbunden.

[0137] Darüber hinaus werden beim Datenschreiben entsprechende Kurzschlußtransistoren 62 eingeschaltet, wodurch ein Kurzschluß zwischen den anderen Enden der Bit-

leitungen BL und /BL erzeugt wird (auf der dem Schreibspaltenauswahlgate WSCG gegenüberliegenden Seite) in der ausgewählten Spalte.

[0138] Wie bereits oben beschrieben, setzt die Datenschreibschaltung 51W jeden der Schreibdatenbusse WDB und /WDB entweder auf die Leistungsversorgungsspannung Vcc3 oder die Massespannung Vss. Falls der Datenpegel der Schreibdaten DIN zum Beispiel der L-Pegel ist, wird der Datenschreibstrom -Iw zum Schreiben der L-Pegeldaten an den Schreibdatenbus WDB angelegt. Der Datenschreibstrom -Iw wird an die Bitleitung BL in der ausgewählten Spalte über das Schreibspaltenauswahlgate WSCG geliefert.

[0139] Der Datenschreibstrom -Iw, der an die Bitleitung BL in der ausgewählten Spalte angelegt wird, wird durch den Kurzschlußschaltertransistor 62 zurückgegeben. Als Ergebnis ist der Datenschreibstrom +Iw entgegengesetzt zu dem Strom -Iw, der an die andere Bitleitung /BL angelegt wird. Der Datenschreibstrom +Iw, der in der Bitleitung /BL fließt, wird an den Schreibdatenbus /WDB über das Schreibspaltenauswahlgate WSCG übertragen.

[0140] Darüber hinaus wird eine der Schreibwortleitungen WWL auf einen ausgewählten Zustand (H-Pegel: Leistungsversorgungsspannung Vcc3) gemäß einem Reihenauswahlergebnis aktiviert, und ein Datenschreibstrom Ip wird an die Schreibwortleitung WWL geliefert. Als Ergebnis werden Daten in die ausgewählte Speicherzelle geschrieben, für die der Datenschreibstrom an der entsprechenden Schreibwortleitung WWL und Bitleitung BL (/BL) anliegt. Die Richtungen der Datenschreibströme $\pm I_w$, die zurückgegeben und angelegt werden, sind gemäß dem Datenpegel der Schreibdaten DIN invertiert.

[0141] Während des Datenschreibens werden die Lesewortleitungen RWL im nichtausgewählten Zustand (L-Pegel) gehalten. Darüber hinaus, selbst wenn Daten geschrieben werden, sind die Spannungen der Bitleitungen BL und /BL für das Datenschreiben auf eine Massespannung Vss gesetzt, die dem Vorladespannungspegel für das Datenlesen entspricht, indem das Bitleitungsvorladesignal BLPR auf H-Pegel aktiviert wird.

[0142] In ähnlicher Weise werden die Spannungen der Lesedatenbusse RDB und /RDB auf die Leistungsversorgungsspannung Vcc1 gesetzt, die der Vorladespannung für das Datenlesen entspricht. Durch Setzen der Spannungen der Bitleitungen BL und /BL, die zu den ausgewählten Spalten und zu denjenigen Lesedatenbussen RDB und /RDB für das Datenschreiben korrespondieren, wird es bei der Vorspannung für das Datenlesen unnötig, eine neue Vorladeoperation vor dem Lesen von Daten durchzuführen, und folglich wird es möglich, die Datenleseoperation zu beschleunigen.

[0143] Im folgenden werden die Leistungsversorgungsspannungspegel der Schaltungssysteme für das Datenlesen und Datenschreiben beschrieben. Während des Datenlesens sind die Datenschreibströme Ip und $\pm I_w$, die zur Magnetisierung des Tunnelmagnetwiderstandselements TMR der ausgewählten Speicherzelle notwendig sind, größer als der Lesestrom Is, der für das Lesen von Daten notwendig ist. Folglich wird Vcc3, die Betriebsspannung für die Datenschreibschaltung 51W ist, größer gesetzt als Vcc1, die die Betriebsspannung für die Datenleseschaltung 51R ist.

[0144] Als Leistungsversorgungsspannung Vcc3 wird zum Beispiel eine externe Leistungsversorgungsspannung von außen an die MRAM-Vorrichtung 1 angelegt, die bestimmungsgemäß verwendet wird. Falls diese externe Leistungsversorgungsspannung durch eine Spannungsabfallschaltung, die nicht gezeigt ist, abfällt, um einen Aufbau zu bilden, der eine Leistungsversorgungsspannung Vcc1 erzeugt, ist es möglich, die Leistungsversorgungsspannungen Vcc1 und Vcc3 effizient zu liefern.

[0145] Wie oben beschrieben, kann gemäß dem ersten Ausführungsbeispiel der Lesestrom I_s während des Datenschreibens gemäß der externen Eingabe in nichtflüchtiger Weise eingestellt werden. Folglich wird es möglich, eine ausreichende Datenleseoperationstoleranz sicherzustellen, die den Herstellungsunregelmäßigkeiten der Tunnelfilm-
 5 dicke des Tunnelmagnetwiderstandselements TMR oder dergleichen entsprechen. Darüber hinaus wird es möglich, einen Pseudosicherungsdurchtrennzustand in Antwort auf die Eingabe eines elektrischen Signals von außen zu erzeugen, wodurch es möglich wird, die Einstelloperation für den Einstellungslesestrom I_s effizient durchzuführen.

Modifikation des ersten Ausführungsbeispiels

[0146] Im folgenden wird ein Aufbau der MRAM-Vorrichtung 1 gemäß einer Modifikation des ersten Ausführungsbeispiels beschrieben, in der ein Lesestrom I_s während des Einstellens überwacht werden kann.

[0147] Wie in Fig. 7 gezeigt, unterscheidet sich der Aufbau der Konstantstromversorgungsschaltung 70 (71) gemäß der Modifikation des ersten Ausführungsbeispiels, die in der Datenleseschaltung 51R enthalten ist, von dem in Verbindung mit dem ersten Ausführungsbeispiel beschriebenen Aufbau dadurch, daß ein Stromüberwachungsabschnitt 190 bereitgestellt ist, der die Strommenge, die in einem internen Knoten $Ns1$ ($Ns2$) fließt, überwacht, neben den übrigen, wie in Fig. 4 gezeigten Elementen. Da die übrigen einzelnen Elemente der Konstantstromversorgungsschaltungen 70 und 71 die gleichen sind wie in Fig. 4, erfolgt keine erneute Beschreibung dieser. Darüber hinaus, da die einzelnen Elemente der Datenleseschaltung 51R mit Ausnahme der Konstantstromversorgungsschaltungen 70 und 71 die gleichen sind wie in Fig. 3, erfolgt keine wiederholte Beschreibung dieser.

[0148] Der Stromüberwachungsabschnitt 190 enthält einen Überwachungswiderstand 192, der einen bekannten Widerstandswert aufweist, und einen Transistorschalter 194, der in Reihe zwischen den Knoten $Ns1$ ($Ns2$) und der Massespannung V_{ss} geschaltet ist. Das Testeingangssignal TE wird in das Gate des Transistorschalters 194 eingegeben. Entsprechend wird während des Testmuseintritts der Überwachungswiderstand 192 elektrisch zwischen dem internen Knoten $Ns1$ und der Massespannung V_{ss} geschaltet.

[0149] Gemäß dem Aufbau der Konstantstromversorgungsschaltung 70 (71) gemäß der Modifikation des ersten Ausführungsbeispiels wird der P-Kanal MOS-Transistor 106b, der einen konstanten Strom an den internen Knoten $Ns1$ liefert, elektrisch zwischen den internen Knoten $Ns1$ und einem Anschluß 130 geschaltet, der von außen elektrisch kontaktiert werden kann. In einem normalen Betrieb wird die Leistungsversorgungsspannung V_{cc1} an den Anschluß 180 geliefert. In einem Testmodus wird an den Anschluß 180 eine vorbestimmte Spannung angelegt, und ein resultierender Strom, der im Anschluß 180 fließt, wird von außen gemessen.

[0150] Durch Auswahl eines derartigen Aufbaus wird es möglich, den Lesestrom I_s basierend auf dem bekannten Widerstandswert des Überwachungswiderstandes 192 und dem Stromfluß des Knotens $Ns1$, der durch den Anschluß 180 während der Überwachung der Strommenge gemessen wird, die von der Konstantstromversorgungsschaltung 70 (71) geliefert wird, effizient einzustellen.

[0151] Mit dem alternativen Aufbau der Konstantstromversorgungsschaltung 70 (71), bei der das Steuersignal TT , wie in Fig. 4 gezeigt, in das Gate des Transistorschalters 194 eingegeben wird, selbst wenn eine Spannungseinstellungsschaltung 100 einen Pseudosicherungsdurchbrennzustand

erzeugt, um eine Einstellung des Lesestroms I_s durchzuführen, wird es möglich, den gleichen oben beschriebenen Vor-
 teil zu erhalten.

[0152] Wie in Fig. 8 gezeigt, ist der Überwachungswiderstand 192 aus $(N \times N)$ (N : ein ganzzahliger Wert nicht kleiner als 2) Tunnelmagnetwiderstandselementen TMR gebil-
 5 det, die in Reihe und parallel geschaltet sind. Als Tunnelmagnetwiderstandselemente TMR können solche verwendet werden, die in gleicher Weise wie das Tunnelmagnetwiderstandselement TMR in dem MTJ-Speicher hergestellt werden.

[0153] Durch Bilden des Überwachungswiderstandes 192, an den ein übermäßig großer Strom angelegt werden kann, um eine Mehrzahl von Tunnelmagnetwiderstandselementen TMR, die in Reihe geschaltet sind, zu erfassen, ist es
 15 möglich, eine Unterbrechung des Überwachungswiderstandes 192 zu verhindern.

[0154] Gemäß dem Aufbau nach Fig. 8 kann der elektrische Widerstand des Überwachungswiderstandes 192 ferner äquivalent zu dem jeder MTJ-Speicherzelle gesetzt werden: Folglich wird es möglich, den Lesestrom I_s bei Bedingungen, die sehr nahe an der normalen Operation liegen, effizient einzustellen.

Zweites Ausführungsbeispiel

[0155] Gemäß einem zweiten Ausführungsbeispiel wird ein Aufbau einer MRAM-Vorrichtung 1 zur effizienten Durchführung eines Fehlerbeschleunigungstests (im folgenden einfach als "Durchbrenntest" bezeichnet) beschrieben, um eine Überprüfung eines Tunnelfilms in einem Tunnelmagnetwiderstandselement TMR durchzuführen.

[0156] Wie in Fig. 9 gezeigt, unterscheidet sich der Aufbau einer Konstantstromversorgungsschaltung 70 (71) gemäß dem zweiten Ausführungsbeispiel von dem gemäß dem ersten Ausführungsbeispiel nach Fig. 4 dadurch, daß die Konstantstromversorgungsschaltung 70 (71) eine Spannungseinstellungsschaltung 100n enthält, die eine Referenzspannung V_{rsn} erzeugt zur Einstellung eines konstanten Stroms I (Lesen) in der normalen Operation (im folgenden auch als "Normaloperationsmodus" bezeichnet) und eine Spannungseinstellungsschaltung 100b, die eine Referenzspannung V_{rsb} erzeugt, zur Einstellung des Konstantstroms I (Lesen) in einem Durchbrenntest (auch als "Einbrennmodus" bezeichnet).

[0157] Die Konstantstromversorgungsschaltung 70 (71) gemäß dem zweiten Ausführungsbeispiel enthält auch einen Eingangsanschluß 200, der die Eingabe eines Einbrennmodussignals /BIM erhält, das im Einbrennmodus auf L-Pegel aktiviert ist, und eine Spannungsschalter-Schaltung 205.

[0158] Die Spannungseinstellungsschaltungen 100n und 100b haben den gleichen Aufbau wie die in Fig. 4 gezeigte Spannungseinstellungsschaltung 100. Die Spannungseinstellungsschaltung 100n gibt eine Referenzspannung V_{rsn} an einen Knoten $N16$ aus, in Übereinstimmung mit einer Gruppe von Steuersignalen für Sicherungsdurchbrenneingaben und Pseudosicherungsdurchbrennen. In ähnlicher Weise gibt die Spannungseinstellungsschaltung 100b eine Referenzspannung V_{rsb} an einen Knoten $N11$. Es sei erwähnt, daß jedoch die Gruppe der Steuersignale (die zu einem Steuersignal TT und Einstellungssignalen $TV1$ bis $TV3$, wie in Fig. 4 gezeigt, korrespondieren) für Sicherungsdurchbrenneingaben und ein Pseudosicherungsdurchbrennen für die Spannungseinstellungsschaltungen 100n und 100b unabhängig voneinander gesetzt werden.

[0159] Die Spannungsschalter-Schaltung 205 enthält Transferelemente 206 und 207, die komplementär ein- und ausgeschaltet werden, in Antwort auf das Einbrennmodussignal

/BIM. Die Spannungsschalter-Schaltung 205 überträgt eine Referenzspannung Vrsn, die von der Spannungseinstellungsschaltung 100n an einen Knoten N14 in Antwort auf ein Einbrennmodussignal /BIN im normalen Betriebsmodus ausgegeben wird. Die Spannungsschalter-Schaltung 205 überträgt eine Referenzspannung Vrsb, die von der Spannungseinstellungsschaltung 100b an den Knoten N14 im Einbrennmodus ausgegeben wird. Jede der Referenzspannungen Vrsb und Vrsn, die an den Knoten N14 übertragen werden, werden als Steuerspannung Vctr an ein Gate eines N-Kanal MOS-Transistors 105 übertragen.

[0160] Falls die Referenzspannung Vrsb, die zu dem Einbrennmodus korrespondiert, größer gesetzt wird in dem oben genannten Aufbau als die Referenzspannung Vrsn, die zu dem Normaloperationsmodus korrespondiert, kann ein Tunnelstrom (auch als "Einbrennstrom" bezeichnet), der durch den Tunnelfilm in jedem Tunnelmagnetwiderstandselement TMR während des Einbrenntests fließt, größer werden als der Lesestrom Is, der durch den Tunnelfilm während der Datenleseoperation im normalen Operationsmodus fließt. Folglich wird es möglich, eine größere Strombelastung als im normalen Operationsmodus für den Tunnelfilm jeder MTJ-Speicherzelle zu verwenden. Im Ergebnis wird es möglich, einen Fehlerbeschleunigungstest zur Klärung von Potentialfehlern des Tunnelfilms durchzuführen, der für eine Verbesserung der Zuverlässigkeit der MRAM-Vorrichtung 1 erforderlich ist.

[0161] Die Referenzspannung Vrsb, die zu dem Einbrennmodus korrespondiert, kann in die Spannungsschalter-Schaltung 205 über einen Eingabeanschluß (nicht gezeigt) eingegeben werden, der elektrisch mit einem Knoten N11 verbunden, und in gleicher Weise wie der Eingabeanschluß 101, in den die Testreferenzspannung Vrt eingegeben wird, ausgebildet ist. Durch Verwendung der Spannungseinstellungsschaltung 100b, die im Aufbau die gleiche ist wie die Spannungseinstellungsschaltung 100, die unter Bezugnahme auf Fig. 4 beschrieben wurde, ist es möglich, das Einstellen des Tunnelstroms im Einbrenntest zu erleichtern.

Erste Modifikation des zweiten Ausführungsbeispiels

[0162] Gemäß einer ersten Modifikation des zweiten Ausführungsbeispiels wird eine Reihenauswahloperation und eine Spaltenauswahloperation zur effizienten Durchführung des Einbrenntests beschrieben.

[0163] Fig. 10 zeigt einen Aufbau eines Lesespaltendekodierabschnitts 25R, der die Aktivierung der Lesespaltenauswahlleitungen RCSL1 bis RCSLm steuert, in einem Spaltendekoder 25 gemäß der ersten Modifikation des zweiten Ausführungsbeispiels.

[0164] Wie in Fig. 10 gezeigt, enthält der Lesespaltendekodierabschnitt 25R Dekodiereinheiten CDU1 bis CDUm, Steuergates 210-1 bis 210-m und Treibergates 220-1 bis 220-m, die korrespondierend zu Speicherzellenspalten bereitgestellt sind.

[0165] Falls eine korrespondierende Speicherzellenspalte in Antwort auf eine Eingabe einer Spaltenadresse CA ausgewählt wird, wird der Ausgang jeder der Dekodiereinheiten CDU1 bis CDUm auf H-Pegel aktiviert. Jedes der Steuergates 210-1 bis 210-m empfängt das Ausgangssignal von einem der entsprechenden Dekodiereinheiten CDU1 bis CDUm, und ein Steuersignal RE, das während des Datenlesens auf H-Pegel aktiviert ist, und gibt das Ergebnis einer logischen NAND-Operation für das eine Ausgabesignal und das Steuersignal RE aus. Durch Auswahl eines derartigen Aufbaus ist es möglich, die Dekodiereinheiten CDU1 bis CDUm zwischen dem Lesespaltendekodierabschnitt 25R und dem Schreibspaltendekodierabschnitt (nicht gezeigt)

zur jeweiligen Steuerung von Schreibspaltenauswahlleitungen WCSL1 bis WCSLm gemeinsam zu verwenden.

[0166] Treibergates 220-1 bis 220-m treiben die Lesespaltenauswahlleitungen RCSL1 bis RCSLm gemäß den Ergebnissen der logischen NAND-Operation für die jeweiligen Ausgangssignale der Steuergates 210-1 bis 210-m und Testspaltenauswahlsignale /TCS1 bis /TCSm.

[0167] Während des Datenlesens, während dem das Steuersignal RE auf L-Pegel deaktiviert ist, werden die Ausgänge der jeweiligen Steuergates 210-1 bis 210-m unabhängig von einem Spaltenauswahlergebnis auf H-Pegel gehalten. In anderen Modi als dem Einbrennmodus, sind die Testspaltenauswahlsignale /TCS1 bis /TCSm auf H-Pegel deaktiviert.

[0168] Im Normaloperationsmodus deaktiviert der Lesespaltendekodierabschnitt 25R jede der Lesespaltenauswahlleitungen RCSL1 bis RCSLm auf den L-Pegel, während des Datenschreibens. Darüber hinaus aktiviert der Lesespaltendekodierabschnitt 25R eine korrespondierende Lesespaltenauswahlleitung RCSL in einer Speicherzellenspalte, für die das Ausgangssignal von dem entsprechenden der Steuergates 210-1 bis 210-m L-Pegel annimmt, also eine ausgewählte Speicherzellenspalte mit einem L-Pegelausgangssignal von den Steuergates 210-1 bis 210-m, auf H-Pegel.

[0169] Im Durchbrennmodus wird eine Mehrzahl von Signalen von Testspaltenauswahlsignalen /TCS1 bis /TCSm auf L-Pegel aktiviert. In Antwort auf eine derartige Aktivierung wird eine Mehrzahl von Lesespaltenauswahlleitungen RCSL aktiviert. Als Ergebnis ist es während des Durchbrenntests möglich, Tunnelströme durch viele MTJ-Speicherzellen parallel fließen zu lassen, indem eine Mehrzahl von Speicherzellenspalten ausgewählt werden, und folglich erfolgt ein effizientes Durchführen des Einbrenntests in kurzer Zeit.

[0170] Obwohl Fig. 10 ein Beispiel zeigt, bei dem die Testspaltenauswahlsignale /TCS1 bis /TCSm gemäß den jeweiligen Speicherzellenspalten unabhängig gesetzt werden, ist es auch möglich, die gesamten Speicherzellenspalten in einer Mehrzahl von Spaltengruppen zu setzen, und die Spaltenauswahlsignale /TCS1 bis /TCSm gemäß den jeweiligen Spaltengruppen zu setzen. In einem derartigen Fall ist es möglich, den Einbrenntest für die Tunnelfilme in jeweiligen Tunnelmagnetwiderstandselementen TMR für jede Gruppe durchzuführen.

[0171] Fig. 11 zeigt einen Aufbau eines Lesewortleitungsansteuerabschnitts 30R in einem Wortleitungstreiber 30, der die Aktivierung der Lesewortleitungen RWL1 bis RWLn und der Dummylesewortleitungen DRWL1 und DRWL2 steuert.

[0172] Wie in Fig. 11 gezeigt, enthält ein Reihendekoder 20 Dekodiereinheiten RDU1 bis RDU_n, RDUd1 und RDUd2, die bereitgestellt sind, um zu den Speicherzellenreihen und den Dummyspeicherzellenreihen jeweils zu korrespondieren. Der Ausgang jeder Dekodiereinheit wird auf H-Pegel aktiviert, wenn eine entsprechende Speicherzellenreihe oder Dummyzellenreihe in Antwort auf die Eingabe einer Reihenadresse RA ausgewählt wird.

[0173] Der Lesewortleitungsansteuerabschnitt 30R enthält Steuergates 230-1 bis 230-n, 230-d1 und 230-d2 und Treibergates 240-1 bis 240-n, 240-d1 und 240-d2, die jeweils korrespondierend zu der Speicherzellenreihe und der Dummyzellenreihe bereitgestellt sind.

[0174] Jedes der Steuergates 230-1 bis 230-n, 230-d1 und 230-d2 erhält das Ausgangssignal der entsprechenden Dekodiereinheit und das Steuersignal RE, und gibt das Ergebnis einer logischen NAND-Operation für das Ausgangssignal und das Steuersignal RE aus. Die Treibergates 240-1 bis 240-n, 240-d1 und 240-d2 treiben die Lesewortleitungen

RWL1 bis RWLn und die Dummylesewortleitungen DRWL1 und DRWL2 in Antwort auf die Ergebnisse der logischen NAND-Operationen für die Ausgangssignale der Steuergates 230-1 bis 230-n, 230-d1 und 230-d2 und der Testreihenauswahlsignale /TRS1 bis /TRSn, /TRSD1 und /TRSD2.

[0175] Während des Datenschreibens, während dem das Steuersignal RE auf L-Pegel deaktiviert ist, sind die Ausgangssignale der jeweiligen Steuergates 230-1 bis 230-n, 230-d1 und 230-d2 unabhängig von einem Reihenauswahlergebnis auf H-Pegel fixiert. In anderen Modi als dem Einbrennmodus wird jedes der Testreihenauswahlsignale /TRS1 bis /TRSn, /TRSD1 und /TRSD2 auf H-Pegel deaktiviert.

[0176] Im normalen Operationsmodus deaktiviert folglich der Lesewortleitungstreiberabschnitt 30R jeweils die Lesewortleitungen RWL1 bis RWLn und die Dummylesewortleitungen DRWL1 und DRWL2 auf L-Pegel, beim Datenschreiben. Beim Datenlesen aktiviert der Lesewortleitungstreiberabschnitt 30R eine entsprechende Lesewortleitung RWL und Dummylesewortleitung DRWL in der Speicherzellenreihe und der Dummyspeicherzellenreihe, für die die Ausgangssignale von den entsprechenden Steuergates L-Pegel annehmen, also in der ausgewählten Speicherzellenreihe und Dummyspeicherzellenreihe, auf H-Pegel.

[0177] Im Einbrennmodus wird mindestens eine Mehrzahl von Signalen von den Testreihenauswahlsignalen /TRS1 bis /TRSn auf L-Pegel aktiviert. Eine Mehrzahl von Lesewortleitungen RWL wird korrespondierend zu dieser Aktivierung auf L-Pegel aktiviert. Als Ergebnis ist es möglich, Tunnelströme durch viele MTJ-Speicherzellen parallel fließen zu lassen, indem die Auswahl einer Mehrzahl von Speicherzellenreihen im Einbrenntest erzwungen wird, und den Einbrenntest in kurzer Zeit effizient durchzuführen.

[0178] Obwohl Fig. 11 ein Beispiel zeigt, bei dem die Testspaltenauswahlsignale und die Testreihenauswahlsignale für die jeweiligen Speicherzellenreihen und Dummyspeicherzellenreihen gesetzt sind, ist es ebenso möglich, die gesamten Speicherzellenreihen und Dummyspeicherzellenreihen in eine Mehrzahl von Reihengruppen zu unterteilen, und die Testreihenauswahlsignale für die jeweilige Reihengruppe zu setzen. In diesem Fall ist es möglich, den Einbrenntest für den Tunnelfilm in jedem Tunnelmagnetwiderstandselement TMR für jede Gruppe durchzuführen.

[0179] Fig. 12 zeigt ein anderes Beispiel des Aufbaus des Lesewortleitungstreiberabschnitts 30R in dem Wortleitungstreiber gemäß der ersten Modifikation des zweiten Ausführungsbeispiels.

[0180] Wie in Fig. 12 gezeigt, sind in dem Lesewortleitungstreiberabschnitt 30R gemäß der zweiten Modifikation, Treibergates 250-1 bis 250-n, 250-d1 und 250-d2, die jeweils aus einem Inverter bestehen, korrespondierend zu Lesewortleitungen RWL1 bis RWLn und den Dummylesewortleitungen DRWL1 und DRWL2 jeweils angeordnet. Jedes der Treibergates 250-1 bis 250-n, 250-d1 und 250-d2 arbeitet in Antwort auf eine Betriebsspannung, die von einem Leistungsversorgungsknoten 262 geliefert wird.

[0181] Die Treibergates 250-1 bis 250-n, 250-d1 und 250-d2 invertieren die Ausgangssignale der entsprechenden Steuergates 230-1 bis 230-n, 230-d1 und 230-d2, und steuern entsprechende Lesewortleitungen RWL und Dummylesewortleitungen DRWL an.

[0182] Folglich ist der Betrieb des Lesewortleitungstreiberabschnitts 30R nach Fig. 12 der gleiche wie gemäß dem Wortleitungstreiberabschnitt 30R nach Fig. 11 im Normalbetrieb.

[0183] Im Einbrennmodus wird eine Leistungsversorgungsspannung an den Leistungsversorgungsknoten 262 ge-

liefert, die größer ist als die im normalen Betriebsmodus gelieferte. Wenn die Leistungsversorgungsspannung Vcc2 an den Leistungsversorgungsknoten 262 im Normaloperationsmodus geliefert wird, ist zum Beispiel die Leistungsversorgungsspannung Vcc2# größer als Vcc2, die im Einbrennmodus an den Leistungsversorgungsknoten 262 geliefert wird.

[0184] Durch Auswahl des oben genannten Aufbaus ist es möglich, die Gatespannung jedes Zugriffstransistors oder Dummyzugriffstransistors für einen Strom im Einbrennmodus auf einen größeren Wert zu setzen als die Spannung im Normaloperationsmodus. Es ist folglich möglich, eine Reduzierung des Tunnelstroms im Einbrennmodus aufgrund von einer Behinderung zu vermeiden, also den EIN-Widerstand der Zugriffstransistoren und Dummyzugriffstransistoren.

[0185] Als Ergebnis ist es möglich, einen größeren Tunnelstrom im Einbrennmodus anzulegen als im Normaloperationsmodus, und folglich den Tunnelfilmeinbrenntest effizient durchzuführen. Alternativ können bei dem Aufbau nach Fig. 12 die Treibergates 250-1 bis 250-n, 250-d1 und 250-d2 durch Treibergates 240-1 bis 240-n, 240-d1 und 240-d2, wie in Fig. 11 gezeigt, ersetzt werden, und die Betriebsspannung für jedes dieser Treibergates kann von dem Leistungsversorgungsknoten 262 geliefert werden.

Zweite Modifikation des zweiten Ausführungsbeispiels

[0186] Durch Reduzierung der RC-Last des Lesestrompfads erfolgt eine für das Datenlesen erforderliche schnelle Spannungsänderung, wodurch es möglich wird, das Lesen von Daten von der MRAM-Vorrichtung zu beschleunigen. Gemäß der zweiten Modifikation des zweiten Ausführungsbeispiels wird eine Technik zur effizienten Durchführung eines Einbrenntests für ein Speicherarray einer sogenannten Lesegatestruktur beschrieben.

[0187] Das Speicherarray einer Lesegatestruktur wird zuerst im einzelnen beschrieben.

[0188] Wie in Fig. 13 gezeigt, sind in dem Speicherarray der Lesegatestruktur LesetreiberAuswahlgate RCDG1 bis RCDGm und Lesegates RG1 bis RGM jeweils korrespondierend zu den Speicherzellenspalten angeordnet, zusätzlich zu dem in Fig. 2 gezeigten Aufbau. In der folgenden Beschreibung werden die Lesegates RG1 bis RGM und die LesetreiberAuswahlgate RCDG1 bis RCDGm jeweils allgemein als Lesegates RG und LesetreiberAuswahlgate RCDG bezeichnet.

[0189] In jeweiligen Speicherzellenspalten ist der Aufbau der LesetreiberAuswahlgate RCDG und der Lesegates RG jeweils gleich. Folglich werden im folgenden die Konfigurationen des LesetreiberAuswahlgate RCDG1, des Lesegates RG1 und des Schreibspaltenauswahlgate WCSG1, die zu Bitleitungen BL1 und /BL1 korrespondieren, repräsentativ beschrieben.

[0190] Das LesetreiberAuswahlgate RCDG1 enthält Transistorschalter, die elektrisch zwischen Bitleitungen BL1 und /BL1 und der Leistungsversorgungsspannung Vcc2 jeweils geschaltet sind. Diese Transistorschalter werden gemäß dem Spannungspegel der Lesespaltenauswahlleitung RCSL1 ein- und ausgeschaltet. Falls die Lesespaltenauswahlleitung RCSL1 auf einen ausgewählten Zustand (H-Pegel) aktiviert wird, verbindet das LesetreiberAuswahlgate RCDG1 die Bitleitungen BL1 und /BL1 mit der Leistungsversorgungsspannung Vcc2.

[0191] Das Lesespaltenauswahlgate RCSG1 und das Lesegate RG1 werden in Reihe zwischen den Lesedatenbussen RDB, /RDB und der Massespannung Vss geschaltet. Das Lesespaltenauswahlgate RCSG1 enthält einen Transistor, der elektrisch zwischen dem Lesedatenbus RDB und einem

Knoten N1a geschaltet ist, und einen Transistorschalter, der elektrisch zwischen dem Lesedatenbus /RDB und einem Knoten N1b geschaltet ist. Diese Transistorschalter werden gemäß dem Spannungspegel der Lesespaltenauswahlleitung RCSL1 ein- und ausgeschaltet. Falls die Lesespaltenauswahlleitung RCSL1 also auf einen ausgewählten Zustand (H-Pegel) aktiviert wird, verbindet das Lesespaltenauswahlgate RCSG1 die Lesedatenbusse RDB und /RDB jeweils mit den Knoten N1a und N1b.

[0192] Das Lesegate RG1 enthält N-Typ MOS-Transistoren Q11 und Q12, die elektrisch zwischen dem Knoten N1a und der Massespannung Vss geschaltet sind, und zwischen dem Knoten N1b und der Massespannung Vss. Die Gates der Transistoren Q11 und Q12 sind jeweils mit den Bitleitungen /BL und BL verbunden. Folglich werden die Knoten N1a und N1b jeweils auf die Massespannung Vss gemäß den Spannungen der Bitleitungen BL1 und /BL1 gezogen.

[0193] Falls speziell die Spannung der Bitleitung BL1 größer ist als die der Bitleitung /BL1, wird der Knoten N1b stärker auf die Massespannung Vss gezogen als der Transistor Q12, und die Spannung des Knotens N1a wird folglich größer als die des Knotens N1b. Umgekehrt, falls die Spannung der Bitleitung BL1 kleiner ist als die Bitleitung /BL1, wird die Spannung am Knoten N1b größer als die am Knoten N1a.

[0194] Da die verbleibenden einzelnen Elemente des Speicherarrays 10 die gleichen sind wie gemäß Fig. 2, werden sie nicht wiederholt im einzelnen beschrieben.

[0195] Fig. 14 zeigt ein Zeitdiagramm zur Beschreibung der Datenleseoperation und der Datenschreiboperation der MRAM-Vorrichtung, die die Lesegatestruktur aufweist.

[0196] Vor dem Datenlesen, wie in Fig. 14 gezeigt, werden die Lesedatenbusse RDB und /RDB und die Bitleitungen BL und /BL in gleicher Weise vorgeladen, wie in Fig. 6 gezeigt. Ferner, da die Schreibwortleitung WWL, die Lesewortleitung RWL, die Lesespaltenauswahlleitung RCSL und die Schreibspaltenauswahlleitung WCSL während des Datenlesens in gleicher Weise gesteuert werden, wie in Fig. 6 gezeigt, erfolgt keine erneute detaillierte Beschreibung davon.

[0197] Während des Datenlesens werden folglich die Bitleitungen BL und /BL auf die Massespannung Vss gezogen, über die ausgewählte Speicherzelle oder Dummyspeicherzelle DMC, die als Widerstand dient. In der ausgewählten Speicherzellenspalte werden korrespondierende Bitleitungen BL und /BL auf die Leistungsversorgungsspannung Vcc2 durch das Lesetreiberauswahlgate RCDG gesetzt. Die Spannung der Bitleitungen BL und /BL werden folglich gemäß dem Gleichgewicht zwischen der Hochziehkraft (Hochziehen auf Vcc2) und der Runterziehkraft (Runterziehen auf Vss) bestimmt, also gemäß der Größe des elektrischen Widerstandes der ausgewählten Speicherzelle oder Dummyspeicherzelle, die als Widerstand dienen.

[0198] Falls der gespeicherte Datenpegel der ausgewählten Speicherzelle zum Beispiel "1" (elektrischer Widerstand Rmax) ist, hat eine der Bitleitungen BL und /BL, die mit der Speicherzelle verbunden ist, eine größere Spannungsänderung ΔV_1 als die Spannungsänderung ΔV_m der anderen Bitleitung BL oder /BL, die mit der Dummyspeicherzelle DMC verbunden ist. Die relative Beziehung zwischen den Spannungen der Bitleitung BL und /BL, die ein Bitleitungspaar BLP bilden, das zu der ausgewählten Speicherzelle korrespondiert, ändert sich gemäß dem Pegel der gelesenen gespeicherten Daten der Speicherzelle. Die Potentiale der Lesedatenbusse RDB und /RDB werden durch das Lesegate RG gemäß einer derartigen Spannungsänderung zwischen den Bitleitungen BL und /BL angesteuert.

[0199] Falls die Spannung der Bitleitung BL größer ist als

die der Bitleitung /BL, wird der Lesedatenbus /RDB stärker als der Lesedatenbus RDB auf die Massespannung Vss durch das Lesegate RG gesteuert (Spannungsänderung $\Delta V_{b1} > \text{Spannungsänderung } \Delta V_{bm}$ nach Fig. 14).

5 [0200] Die so erzeugte Spannungsdifferenz zwischen den Lesedatenbussen RDB und /RDB kann durch die Datenleseschaltung 51R verstärkt werden, und die H-Pegel-Lesedaten DOUT können ausgegeben werden.

[0201] Falls demgegenüber die ausgewählte Speicherzelle 10 den gespeicherten Datenpegel auf "0" hält (elektrischer Widerstand Rmin), falls also die Spannung der Bitleitung /BL größer ist als die der Bitleitung BL, dann wird der Lesedatenbus RDB stärker als der Lesedatenbus /RDB auf die Massespannung Vss durch das Lesegate RG gezogen. Basierend auf der Spannungsdifferenz, die folglich zwischen den Lesedatenbussen RDB und /RDB erzeugt wird, können L-Pegel-Lesedaten DOUT ausgegeben werden.

[0202] Wie oben beschrieben, ist es durch Aufbau des Speicherarrays zur Ansteuerung der Potentiale der Lesedatenbusse RDB und /RDB über das Lesegate RG möglich, die Lesedatenbusse RDB und /RDB, die jeweils eine hohe parasitäre Kapazität aufweisen, von dem Lesestrompfad des Stroms, der in der ausgewählten Speicherzelle (oder Dummyspeicherzelle), und in den Bitleitungen fließt auszuschießen, und das Datenlesen durchzuführen. Auf diese Weise ist es möglich, die RC-Last des Lesestrompfads zu reduzieren, der durch die ausgewählte Speicherzelle und die Dummyspeicherzelle verläuft, und die Spannungsänderungen, die für das Datenlesen auf den Bitleitungen BL und /BL notwendig sind, rasch zu bewirken. Als Ergebnis ist es möglich, das Datenlesen und den Zugriff von und auf die MRAM-Vorrichtung zu beschleunigen.

[0203] Darüber hinaus wird die Leistungsversorgungsspannung Vcc2 zum Hochziehen der Bitleitungen BL und /BL während des Datenlesens derart festgelegt, daß die Spannung, die an beiden Enden des Tunnelmagnetwiderstandselements TMR in jeder MTJ-Speicherzelle anliegt, unterdrückt wird. Falls die Zuverlässigkeit des Isolationsfilms, der als Tunnelbarriere für jedes Tunnelmagnetwiderstandselement dient, betrachtet wird, ist es notwendig, die Vorspannung größer zu setzen als ungefähr 400 mV. Als Ergebnis ist es möglich, das Datenlesen zu beschleunigen, während die Betriebszuverlässigkeit jeder MTJ-Speicherzelle sichergestellt wird.

45 [0204] Darüber hinaus wird die Spannung Vcc1, die die Betriebsleistungsversorgungsspannung der Datenleseschaltung 51R ist, größer gesetzt als Vcc2, die die Hochziehspannung der Bitleitungen BL und /BL ist, also gesetzt, um die Bedingung $V_{cc1} > V_{cc2}$ zu erfüllen, um die Amplitude jeder Bitleitung zu reduzieren, und die Spannung, die an beiden Enden des Tunnelmagnetwiderstandselements anliegt, zu unterdrücken, und die Amplitudenspannung der Lesedatenbusse RDB und /RDB zu erhöhen. Darüber hinaus kann die Leistungsversorgungsspannung Vcc2 geliefert werden, indem eine Spannungsabfallschaltung, die nicht gezeigt ist, verwendet wird, wie für den Fall der Leistungsversorgungsspannung Vcc1.

[0205] Da die Datenschreiboperation die gleiche ist wie in Fig. 6, erfolgt keine erneute Beschreibung davon.

60 [0206] Im folgenden wird ein Einbrenntest für jeden Tunnelfilm in dem Speicherarray, das die oben beschriebene Lesegatestruktur aufweist, erklärt.

[0207] Mit dem Aufbau nach Fig. 13 ist es zum Beispiel möglich, den Tunnelstrom während des Einbrenntests größer zu setzen als beim normalen Operationsmodus, indem die Hochziehspannung der Bitleitungen BL und /BL von Vcc2 auf Vcc2# angehoben werden. Während eines derartigen Einbrenntests ist es jedoch schwierig, den Tunnelstrom

für den Einbrennmodus direkt einzustellen.

[0208] Wie in Fig. 13 gezeigt, soll während des Einbrenntests ein größerer Tunnelstrom als im Normalbetriebsmodus an jede MTJ-Speicherzelle geliefert werden. Daher ist es mit dem Aufbau des Speicherarrays gemäß der zweiten Modifikation des zweiten Ausführungsbeispiels auch möglich, den Tunnelstrom für den Einbrenntest an jede MTJ-Speicherzelle über die Bitleitungen BL und /BL zu liefern, wobei keine Datenleseschaltung 51R, sondern eine Datenschreibschaltung 51W verwendet wird, die die Funktionen aufweist, um die zu liefernde Strommenge einzustellen. Da die Leistungsversorgungsspannung Vcc3, die die Betriebsspannung der Datenschreibschaltung 51W ist, größer ist als die Leistungsversorgungsspannung Vcc2, die verwendet wird, um die Bitleitungen auf die Leistungsversorgungsspannung Vcc1, die die Betriebsspannung der Datenleseschaltung im Normalbetriebsmodus ist, zu ziehen, ist es möglich, einen hohen Tunnelstrom effizienter zu erzeugen.

[0209] Zur Durchführung des oben genannten Einbrenntests ist es notwendig, mindestens einen Teil der Schreibspaltenauswahlgates WCSL1 bis WCSLm zu aktivieren, und die Lesespaltenauswahlleitungen RCSL1 bis RCSLm im Einbrennmodus zu deaktivieren. Wenn dies der Fall ist, ist es möglich, einen Tunnelstrom von der Datenschreibschaltung 51W an jede MTJ-Speicherzelle in der Speicherzellenspalte zu liefern, für die die Lesewortleitung RWL aktiviert ist, und in der Dummyspeicherzellenspalte, für die die Dummylesewortleitung DRWL aktiviert ist, über das Schreibdatenbuspaar WDBP und den entsprechenden Bitleitungen BL und /BL.

[0210] Fig. 15 zeigt den Aufbau des Lesespaltendekodierabschnitts 25R im Spaltendekoder gemäß der zweiten Modifikation des zweiten Ausführungsbeispiels.

[0211] Wie in Fig. 15 gezeigt, unterscheidet sich der Lesespaltendekodierabschnitt 25R gemäß der zweiten Modifikation des zweiten Ausführungsbeispiels von dem Lesespaltendekodierabschnitt 25R nach Fig. 10 dadurch, daß die Treibergates 260-1 bis 260-m anstelle der Treibergates 220-1 bis 220-m verwendet werden. Da die verbleibenden einzelnen Elemente des Lesespaltendekodierabschnitts 25R die gleichen sind wie in die in Fig. 10 gezeigten, werden sie nicht noch mal im einzelnen beschrieben.

[0212] Jedes der Treibergates 260-1 bis 260-m aktiviert eine entsprechende Lesespaltenauswahlleitung RCSL gemäß dem Ausgangssignal des korrespondierenden einen Steuergates 210-1 bis 210-m und dem Ergebnis einer NOR-Operation für das Einbrennmodussignal BIM.

[0213] Während des Einbrenntests, während dem das Einbrennmodussignal BIM auf H-Pegel gesetzt ist, wird entsprechend jede der Lesespaltenauswahlleitungen RCSL1 bis RCSLm auf L-Pegel deaktiviert. Andererseits ist im Normaloperationsmodus, bei dem das Einbrennmodussignal BIM auf L-Pegel gesetzt ist, die Aktivierungssteuerung jedes Lesespaltenauswahlgates RCSL1 bis RCSLm die gleiche wie gemäß dem Lesespaltendekodierabschnitt 25R nach Fig. 10.

[0214] Wie in Fig. 16 gezeigt, enthält der Schreibspaltendekodierabschnitt 25W zur Steuerung der Aktivierung der Schreibspaltenauswahlleitungen WCSL1 bis WCSLm die Decodierungseinheiten CDU1 bis CDUm, die vom Schreibspaltendekodierabschnitt 25W und dem Lesespaltendekodierabschnitt 25R sowie den Steuergates 270-1 bis 270-m und Treiberschaltungen 280-1 bis 280-m, die entsprechend den Speicherzellenspalten bereitgestellt sind, jeweils gemeinsam verwendet werden.

[0215] Jedes der Steuergates 270-1 bis 270-m erhält das Ausgangssignal der entsprechenden Dekodiereinheit CDU1 bis CDUm und das Steuersignal WE, das während des Da-

tenschreibens auf H-Pegel aktiviert ist, und gibt ein NAND-Operationsergebnis für das Ausgangssignal der entsprechenden Dekodiereinheit CDU1 bis CDUm und das Steuersignal WE, das während des Datenschreibens auf H-Pegel aktiviert ist, aus. Die Treibergates 280-1 bis 280-m steuern die Schreibspaltenauswahlleitungen WCSL1 bis WCSLm gemäß den logischen NAND-Operationsergebnissen für die Ausgaben der Steuergates 270-1 bis 270-m und der Testspaltenauswahlsignale /TCS1 bis /TCSm.

[0216] Während des Datenlesens, während dem das Steuersignal WE auf L-Pegel deaktiviert ist, ist das Ausgangssignal jedes der Steuergates 270-1 bis 270-m auf H-Pegel gehalten, unabhängig von einem Spaltenauswahlergebnis. Das Setzen der Testspaltenauswahlsignale /TCS1 bis /TCSm ist genauso wie unter Bezugnahme auf Fig. 10 beschrieben, und wird daher nicht wiederholt.

[0217] Im Normaloperationsmodus deaktiviert folglich der Schreibspaltendekodierabschnitt 25W die Schreibspaltenauswahlleitungen WCSL1 bis WCSLm auf L-Pegel während des Datenlesens. Während des Datenschreibens im Normaloperationsmodus aktiviert der Schreibspaltenauswahldekodierabschnitt 25W die Schreibspaltenauswahlleitungen WCSL1 bis WCSLm auf H-Pegel.

[0218] Im Einbrennmodus wird eine Mehrzahl von Schreibspaltenauswahlleitungen WCSL in Antwort auf Testspaltenauswahlsignale /TCS1 bis /TCSm jeweils aktiviert. Als Ergebnis werden während des Einbrenntests eine Mehrzahl von Speicherzellenspalten ausgewählt, und entsprechende Bitleitungspaare und Schreibdatenbuspaare WDBP folglich verbunden. Wie unter Bezugnahme auf Fig. 5 beschrieben, wird die Spannung eines Schreibdatenbusses im Schreibdatenbuspaar DBP auf die Leistungsversorgungsspannung Vcc3 durch die Datenschreibschaltung 51W gesetzt. Es ist folglich möglich, einen Tunnelstrom parallel an MTJ-Speicherzellen anzulegen, die einer ausgewählten Speicherzellenspalte entsprechen, und den Einbrenntest effizient durchzuführen.

[0219] Während des oben genannten Einbrenntests kann eine Strommenge, die von der Datenschreibschaltung geliefert wird, derart gesetzt werden, daß sie im Normaloperationsmodus und im Einbrennmodus verschieden ist, wodurch es möglich wird, das Einstellen der Strombelastung, die während des Einbrenntests für den Tunnelfilm verwendet wird, zu erleichtern.

[0220] Die Datenschreibschaltung 52W gemäß der zweiten Modifikation des zweiten Ausführungsbeispiels, wie in Fig. 17 gezeigt, kann anstelle der Datenschreibschaltung 51W gemäß dem Aufbau nach Fig. 13 angeordnet werden.

[0221] Wie in Fig. 17 gezeigt, unterscheidet sich der Aufbau der Datenschreibschaltung 52W gemäß der zweiten Modifikation des zweiten Ausführungsbeispiels von der Datenschreibschaltung 51W nach Fig. 5 dadurch, daß eine Konstantstromversorgungsschaltung 80# anstelle der Konstantstromversorgungsschaltung 80 angeordnet ist. Da die verbleibenden einzelnen Elemente und die Operation der Datenschreibschaltung 52W im übrigen die gleichen sind wie bei der Datenschreibschaltung 51W, erfolgt keine erneute Beschreibung davon.

[0222] Die Konstantstromversorgungsschaltung 80# hat einen ähnlichen Aufbau wie die Konstantstromversorgungsschaltungen 70 oder 71 nach Fig. 4. Die Konstantstromversorgungsschaltung 80# enthält Eingangsanschlüsse 300 und 302, eine Spannungseinstellungsschaltung 100W, eine Spannungsschalterschaltung 304 und einen N-Kanal MOS-Transistor 301.

[0223] Die Spannungseinstellungsschaltung 100W hat den gleichen Aufbau wie die Spannungseinstellungsschaltung 100 nach Fig. 4. Die Spannungseinstellungsschaltung

100W gibt eine Referenzspannung V_{rw} gemäß der Sicherungsdurchbrenneingaben und der Steuersignale, die von extern geliefert werden, an den Knoten N22. Das Einbrennmodussignal /BIM, das auf L-Pegel während des Einbrenntests aktiviert ist, wird an den Eingangsanschluß 300 gegeben. Der Eingangsanschluß 302 ist elektrisch mit einem Knoten N24 verbunden, und eine Referenzspannung V_{rw} , die während des Einbrenntests verwendet wird, wird in den Eingangsanschluß 302 eingegeben.

[0224] Die Spannungsschalter-Schaltung 304 verbindet einen der Knoten N22 und N24 mit einem Knoten N20 in Antwort auf das Einbrennmodussignal /BIM, und folglich erzeugt sie eine extern einstellbare Steuerspannung V_{ctw} am Knoten N20. Im Einbrennmodus wird die Referenzspannung V_{rtb} , die in den Eingangsanschluß 302 eingegeben wird, als Steuerspannung V_{ctw} an den Knoten N20 übertragen. Im Normaloperationsmodus wird die Referenzspannung V_{rw} von der Spannungseinstellungsschaltung 100W als Steuerspannung V_{ctw} an den Knoten N20 übertragen.

[0225] Der N-Kanal MOS-Transistor 301 ist in Reihe geschaltet mit einem P-Kanal MOS-Transistor 82, zwischen der Leistungsversorgungsspannung V_{cc3} und der Masse-spannung V_{ss} , und das Gate des Transistors 301 ist mit dem Knoten N20 verbunden. Der Verbindungsknoten, der den N-Kanal MOS-Transistor 301 mit dem P-Kanal MOS-Transistor 82 verbindet, ist mit den jeweiligen Gates der P-Kanal MOS-Transistoren 81 und 82 verbunden.

[0226] Durch Auswahl des oben genannten Aufbaus ändert sich die an den internen Knoten N_{w0} gelieferte Strommenge I (Schreiben) gemäß der an den Knoten N20 übertragenen Steuerspannung V_{ctw} . Folglich wird es möglich, die Datenschreibströme $\pm I_w$ im Normaloperationsmodus in Antwort auf externe Eingaben einzustellen, und den Tunnelstrom während des Einbrenntests gemäß der Referenzspannung V_{rw} einzustellen, die in den Eingangsanschluß 302 eingegeben wird. Im Ergebnis wird es möglich, die Strombelastung für den Tunnelfilm während des Einbrenntests von außen einzustellen.

[0227] Alternativ kann die Spannungseinstellungsschaltung 100b, wie in Fig. 9 gezeigt, anstelle des Eingangsanschlusses 302 angeordnet sein, um die Referenzspannung V_{rw} am Knoten N24 zu erzeugen.

Dritte Modifikation des zweiten Ausführungsbeispiels

[0228] Gemäß dem zweiten Ausführungsbeispiel ist der Aufbau einer MRAM-Vorrichtung beschrieben worden, die den Tunnelstrom, der durch den Tunnelfilm im Normaloperationsmodus und im Einbrennmodus fließt, unabhängig setzen und einstellen kann. Gemäß der dritten Modifikation des zweiten Ausführungsbeispiels ist der Aufbau der MRAM-Vorrichtung beschrieben worden, die ein Strombelastungsverhältnis, das an den Tunnelfilm angelegt wird, im Normaloperationsmodus (Datenlesen) und im Einbrennmodus konstant hält.

[0229] Eine Spannungseinstellungsschaltung 310 für den Einbrennmodus, wie in Fig. 18 gemäß der dritten Modifikation des dritten Ausführungsbeispiels gezeigt, ist anstelle der Spannungseinstellungsschaltung 100b gemäß zum Beispiel dem Aufbau der Konstantstromversorgungsschaltung 70 oder 71 nach Fig. 9 angeordnet.

[0230] Wie in Fig. 18 gezeigt, empfängt die Spannungseinstellungsschaltung 310 gemäß der dritten Modifikation des dritten Ausführungsbeispiels eine Referenzspannung V_{rsn} , die von der Spannungseinstellungsschaltung 100n für den Normaloperationsmodus geliefert wird, und multipliziert die Referenzspannung V_{rsn} mit einem vorbestimmten Wert K (K : eine natürliche Zahl größer als 1), um dadurch

die Referenzspannung V_{rsb} zu erzeugen.

[0231] Die Spannungseinstellungsschaltung 310 enthält einen Operationsverstärker 312, einen P-Kanal MOS-Transistor 315 und Widerstandselemente 316 und 318. Der P-Kanal MOS-Transistor 315 ist elektrisch zwischen der Leistungsversorgungsspannung V_{cc1} und einem Knoten N16, der die Referenzspannung V_{rsb} korrespondierend zu dem Einbrennmodus erzeugt, geschaltet. Die Widerstandselemente 316 und 318 sind in Reihe zwischen den Knoten N16 und der Masse-spannung V_{ss} geschaltet. Der Operationsverstärker 312 verstärkt die Spannungsdifferenz zwischen der Referenzspannung V_{rsn} von der Spannungseinstellungsschaltung 100n und der Spannung eines Verbindungsknotens N26, der die Widerstandselemente R1 und R2 verbindet, und gibt die verstärkte Spannungsdifferenz in das Gate des P-Kanal MOS-Transistors 315 ein.

[0232] Gemäß dem oben beschriebenen Aufbau der Spannungseinstellungsschaltung 310, wird die Referenzspannung V_{rsb} entsprechend dem Einbrennmodus durch die Gleichung (1) wie folgt ausgedrückt:

$$V_{rsb} = (R1 + R2)/R2 \times V_{rsn} \quad (1)$$

[0233] Die vorbestimmte Rate K wird ausgedrückt als $K = (R1 + R2)/R2$.

[0234] Falls das Widerstandselement R2 zum Beispiel ein variabler Widerstand ist, kann diese vorbestimmte Rate K eingestellt werden.

[0235] Durch Auswahl des oben genannten Aufbaus bildet der Tunnelstrom während des Einbrenntests eine konstante Beziehung mit dem Tunnelstrom im Normaloperationsmodus. Folglich ist es möglich, die Strombelastungen für den Tunnelfilm auf einen gewünschten Wert zu setzen, zum Beispiel auf eine vorbestimmte Rate zwischen dem Normaloperationsmodus (Datenlesen) und dem Einbrennmodus.

Vierte Modifikation des zweiten Ausführungsbeispiels

[0236] In dem Speicherarrayaufbau, in dem eine Dummy-speicherzelle auf einem Speicherarray 10 zum Vergleich mit einer ausgewählten Speicherzelle angeordnet ist, ist eine Dummyspeicherzelle für eine Mehrzahl von MTJ-Speicherzellen gebildet. Gemäß den Speicherzellenkonfigurationen, wie in den Fig. 2 und 13 gezeigt, sind zum Beispiel zwei Dummyspeicherzellen für jede Speicherzellenspalte angeordnet, und eine Dummyspeicherzelle ist folglich für jede der $(n/2)$ MTJ-Speicherzellenspalten angeordnet.

[0237] Verglichen mit der Zugriffsfrequenz einer normalen MTJ-Speicherzelle ist dadurch die der Dummyspeicherzelle groß. Im Einbrenntest ist es folglich möglich, eine striktere Überprüfung der Dummyspeicherzellen durchzuführen. Mit anderen Worten, ist es in dem Einbrenntest notwendig, eine höhere Spannungsbelastung für jede Dummyspeicherzelle anzuwenden, als für jede MTJ-Speicherzelle, um entsprechende Potentialfehler der Dummyspeicherzellen zu klären.

[0238] Gemäß der vierten Modifikation des zweiten Ausführungsbeispiels wird der Aufbau der MRAM-Vorrichtung beschrieben, die die Stromflußmenge oder den Strom, der pro Zeit durch jede MTJ-Speicherzelle fließt, größer oder länger setzen kann als für jede Dummyspeicherzelle.

[0239] Wie in Fig. 19 gezeigt, unterscheidet sich der Lese-wortleitungstreiberabschnitt 30R gemäß der vierten Modifikation des zweiten Ausführungsbeispiels von dem Lese-wortleitungstreiberabschnitt 30R nach Fig. 12 dadurch, daß ein Leistungsversorgungsknoten 320 unabhängig von einem Leistungsversorgungsknoten 262 und ein Leistungsversor-

gungsschalter 330 bereitgestellt sind. Da die verbleibenden einzelnen Elemente des Lesewortleitungstreiberabschnitts 30R im übrigen die gleichen sind wie in Fig. 12 gezeigt, erfolgt keine erneute Beschreibung davon.

[0240] Der Leistungsversorgungsknoten 320 ist unabhängig von dem Leistungsversorgungsknoten 262 bereitgestellt, der die Betriebsspannung für die Treibergates 250-1 bis 250-n, die den Lesewortleitungen RWL1 bis RWLn jeweils entsprechen, liefert.

[0241] Der Leistungsversorgungsknoten 320 liefert eine Betriebsspannung an die Treibergates 250-d1 und 250-d2, die zu den Dummylesewortleitungen DRWL1 und DRWL2 jeweils korrespondieren.

[0242] Die Leistungsversorgungsschalter-Schaltung 330 verbindet selektiv einen der Leistungsversorgungsknoten 262 und 265 mit dem Leistungsversorgungsknoten 320 in Antwort auf das Einbrennmodussignal BIM. Die Leistungsversorgungsschalter-Schaltung 330 verbindet den Leistungsversorgungsknoten 262 elektrisch mit dem Leistungsversorgungsknoten 320 im Normaloperationsmodus. Da die Lesewortleitungen RWL und die Dummylesewortleitungen DRWL1 und DRWL2 im Normaloperationsmodus während der Aktivierung bezüglich des Spannungspegels gleich werden, werden die ausgewählte Speicherzelle und jede Dummyspeicherzelle bei einem Stromfluß (also Lesestrom I_s) gleich.

[0243] Andererseits verbindet im Einbrennmodus der Leistungsversorgungsschalter 330 den Leistungsversorgungsknoten 265 elektrisch mit dem Leistungsversorgungsknoten 320. In den Leistungsversorgungsknoten 265 wird eine größere Leistungsversorgungsspannung eingegeben als in den Leistungsversorgungsknoten 262. Falls zum Beispiel in den Leistungsversorgungsknoten 262 eine Leistungsversorgungsspannung V_{cc1} eingegeben wird, wird eine größere Leistungsversorgungsspannung $V_{cc1\#}$ ($V_{cc1\#} > V_{cc1}$) in den Leistungsversorgungsknoten 265 eingegeben. Falls die Leistungsversorgungsspannung V_{cc2} in den Leistungsversorgungsknoten 262 eingegeben wird, wird zum Beispiel eine größere Leistungsversorgungsspannung $V_{cc2\#}$ ($V_{cc2\#} > V_{cc2}$) in den Leistungsversorgungsknoten 265 eingegeben.

[0244] Während des Einbrenntests sind die Spannungen der aktivierten Dummylesewortleitungen DRWL1 und DRWL2 größer als die der aktivierten Lesewortleitungen RWL. Folglich ist die Gatespannung eines Dummyzugriffstransistors ATRd größer gesetzt als die eines Zugriffstransistors ATR in jeder MTJ-Speicherzelle.

[0245] Als Ergebnis kann während des Einbrenntests der Stromfluß für jede Dummyspeicherzelle höher gesetzt werden als der jeder MTJ-Speicherzelle, und folglich kann eine größere Strombelastung für die Dummyspeicherzelle verwendet werden, als für die MTJ-Speicherzelle, wodurch der Potentialfehler der Dummyspeicherzelle geklärt wird.

[0246] Wie in Fig. 20 gezeigt, unterscheidet sich der Lesewortleitungstreiberabschnitt 30R gemäß dem zweiten Aufbau der vierten Modifikation des zweiten Ausführungsbeispiels von dem Lesewortleitungstreiberabschnitt 30R nach Fig. 19 dadurch, daß Treibergates 240-1 bis 240-n und 240-d1 und 240-d2, wie in Fig. 11 gezeigt, anstelle der Treibergates 250-1 bis 250-n und 250-d1 und 250-d2 bereitgestellt sind. Da die verbleibenden einzelnen Elemente des Lesewortleitungstreiberabschnitts 30R die gleichen sind wie des Lesewortleitungstreiberabschnitts 30R nach Fig. 19, erfolgt keine erneute Beschreibung davon.

[0247] Das Ausgangssignal eines entsprechenden der Steuergates 230-1 bis 230-n und ein normales Reihentestauswahlsignal /TRSN werden in jedes der Treibergates 240-1 bis 240-n eingegeben, die zu den Lesewortleitungen

RWL1 bis RWLn jeweils korrespondieren.

[0248] Der Ausgang des korrespondierenden der Steuergates 230-d1 und 230-d2 und ein Dummyreihentestauswahlsignal /TRSD werden in jedes der Treibergates 240-d1 und 240-d2, die zu den Dummylesewortleitungen DRWL1 bis DRWL2 jeweils korrespondieren, eingegeben. Das Normalreihentestauswahlsignal /TRSN und das Dummyreihentestauswahlsignal /TRSD werden bei Intervallen einer vorbestimmten Länge im Einbrennmodus auf L-Pegel aktiviert.

[0249] Im Einbrennmodus aktivieren die Treibergates 240-1 bis 240-n, entsprechende Lesewortleitungen RWL, auf H-Pegel in Antwort auf die Aktivierung des Normalreihentestauswahlsignal /TRSN. Die Treibergates 240-d1 und 240-d2 aktivieren entsprechende Dummylesewortleitungen DRWL auf H-Pegel in Antwort auf die Aktivierung des Dummyreihentestauswahlsignals /TRSD.

[0250] Im Normaloperationsmodus werden das Normalreihentestauswahlsignal /TRSN und das Dummyreihentestauswahlsignal /TRSD jeweils auf H-Pegel gesetzt, und die Lesewortleitungen RWL und die Dummylesewortleitungen DRWL werden folglich gemäß einem Reihenauswahlergebnis aktiviert.

[0251] Fig. 21 zeigt eine Wellenformansicht der Aktivierungsperiode des Normalreihentestauswahlsignals /TRSN und die des Dummyreihentestauswahlsignals /TRSD.

[0252] Wie in Fig. 21 gezeigt, ist die Aktivierungsperiode des Dummyreihentestauswahlsignals /TRSD länger gesetzt als die des Normalreihentestauswahlsignals /TRSN. Falls das Normalreihentestauswahlsignal /TRSN und das Dummyreihentestauswahlsignal /TRSD zum Zeitpunkt t_b auf L-Pegel aktiviert werden, wird zum Beispiel das Normalreihentestauswahlsignal /TRSN erneut zum Zeitpunkt t_b nach Verstreichen der Zeit T_n von der Zeit T_b deaktiviert (auf H-Pegel). Andererseits wird das Dummyreihentestauswahlsignal /TRSD erneut zum Zeitpunkt t_d nach Verstreichen der Zeit t_d , die Länger ist als die Zeit t_n , vom Zeitpunkt T_b , erneut auf H-Pegel deaktiviert.

[0253] Während des Einbrenntests wird folglich die Zeit, während der der Dummyzugriffstransistor ATRd in jeder Dummyspeicherzelle DMC eingeschaltet ist, länger gesetzt als die Zeit während der der Zugriffstransistor ATR in jeder MTJ-Speicherzelle eingeschaltet ist, und folglich wird der Stromfluß für die Dummyspeicherzelle länger gesetzt als der für die MTJ-Speicherzelle. Als Ergebnis kann im Einbrennmodus eine größere Strombelastung für jede Dummyspeicherzelle verwendet werden, die eine höhere Zugriffshäufigkeit aufweist als jede MTJ-Speicherzelle im Normaloperationsmodus, als die, die für die MTJ-Speicherzelle verwendet wird, und folglich kann ein Potentialfehler-Beschleunigungstest durchgeführt werden.

[0254] Ferner ist es möglich, die Stromflußmenge und die Stromflußzeit für jede Dummyspeicherzelle im Einbrennmodus derart zu setzen, daß sie von denjenigen jeder MTJ-Speicherzelle verschieden sind, indem die Konfigurationen der Lesewortleitungstreiberabschnitte nach den Fig. 19 und 20 kombiniert werden. Normalerweise wird die Strombelastung als Produkt der Stromflußmenge und der Zeit, während der der Strom fließt, ausgedrückt (auch als "Belastungsprodukt" bezeichnet). Falls eine Dummyspeicherzelle für M (M: ein ganzzahliger Wert nicht kleiner als 2) MTJ-Speicherzellen angeordnet wird, kann das Belastungsprodukt für die Dummyspeicherzelle während des Einbrenntests M-mal größer eingestellt werden als das der MTJ-Speicherzelle. Durch ein derartiges Einstellen ist es möglich, eine Strombelastung gemäß der Differenz bezüglich der Zugriffshäufigkeit zwischen der Dummyspeicherzelle und der herkömmlichen MTJ-Speicherzelle während des Einbrenntests zu verwenden.

[0255] Obwohl die Erfindung im vorangegangenen beschrieben und im einzelnen dargestellt wurde, ist es selbstverständlich, daß Modifikationen durchgeführt werden können, ohne den Schutzbereich der Erfindung zu verlassen.

Patentansprüche

1. Dünnfilmmagnetspeichervorrichtung mit:
 einer Mehrzahl von Speicherzellen (MC), die jeweils ein Datenspeichern durchführen; und
 einer Mehrzahl von Datenleitungen (BL, /BL), die jeweils gemäß vorbestimmten Segmenten der Mehrzahl von Speicherzellen angeordnet sind, wobei jede der Mehrzahl von Speicherzellen folgendes enthält:
 einen Magnetspeicherbereich (TMR), der in eine Richtung gemäß einem Pegel von gespeicherten Daten magnetisiert ist, und der gemäß einer Magnetisierungsrichtung einen unterschiedlichen elektrischen Widerstand aufweist, und
 ein Zugriffselement (ATR), das elektrisch mit dem Magnetspeicherbereich in Reihe zwischen einer entsprechenden der Mehrzahl von Datenleitungen und einer ersten Spannung (Vss) geschaltet ist, und das in mindestens einer ausgewählten Speicherzelle als Datenlesezielspeicherzelle, eingeschaltet wird,
 wobei die Dünnfilmmagnetspeichervorrichtung ferner enthält:
 ein Auswahlgate (RCSG), das elektrisch die Datenleitung, die der ausgewählten Speicherzelle von der Mehrzahl von Datenleitungen entspricht, mit einem internen Knoten (Ns1, Ns2) verbindet; und
 eine Datenleseschaltung (51R) zum Lesen der gespeicherten Daten der ausgewählten Speicherzelle, und
 wobei
 die Datenleseschaltung eine Konstantstromschaltung (70, 71) enthält, die elektrisch zwischen eine zweite Spannung (Vcc1) und dem internen Knoten geschaltet ist, und die einen Konstantstrom (I (Lesen)) gemäß einer Steuerspannung (Vctr) liefert, die in einer nichtflüchtigen Weise (dauerhaft) gemäß einer externen Eingabe einstellbar ist, mit dem internen Knoten, und eine Spannungsverstärkungsschaltung (75), die Lese-daten gemäß einer Spannung am internen Knoten erzeugt.
 2. Dünnfilmmagnetspeichervorrichtung nach Anspruch 1, wobei
 die Konstantstromschaltung (70, 71) enthält:
 eine Stromquellenschaltung (104) zur Ausgabe des konstanten Stroms (I (Lesen)) gemäß der Steuerspannung (Vctr);
 einen ersten Spannungsanschluß (101) zum Empfangen einer Eingabe einer externen Einstellungsspannung (Vrt) während eines Operationstests;
 einen Spannungsschalterbereich (103), der die Einstellungsspannung an die Stromquellenschaltung als Steuerspannung während des Operationstest liefert; und
 einen Stromüberwachungsbereich (190) zur Detektion des konstanten Stroms während des Operationstest, und wobei
 der Stromüberwachungsbereich einen Überwachungswiderstandsbereich (192) enthält, der elektrisch zwischen dem internen Knoten (Ns1, Ns2) und der ersten Spannung (Vss) während des Operationstests geschaltet ist, und einen zweiten Spannungsanschluß (180), der von außen das Anlegen einer vorbestimmten Spannung und das Messen eines resultierenden Stromflusses während des Operationstests erlaubt.

3. Dünnfilmmagnetspeichervorrichtung nach Anspruch 2, wobei der Überwachungswiderstandsbereich (192) eine Mehrzahl von Magnetspeicherbereichen (TMR) enthält, die in Reihe zwischen dem internen Knoten (Ns1, Ns2) und der ersten Spannung (Vss) geschaltet sind, und jeweils in gleicher Weise wie die Magnetspeicherbereiche hergestellt sind.

4. Dünnfilmmagnetspeichervorrichtung nach einem der Ansprüche 1 bis 3, wobei die Konstantstromschaltung (70, 71) eine Spannungseinstellungsschaltung (100) zur Erzeugung der Steuerspannung (Vctr) aufweist; und

die Spannungseinstellungsschaltung eine Mehrzahl von Programmelementen (141 bis 143) enthält, die jeweils von einem ersten Zustand in einen zweiten Zustand in nichtflüchtiger Weise gemäß der externen Eingabe wechseln, und
 einen Spannungseinstellungsbereich (101) zum Setzen eines Spannungspegels der Steuerspannung gemäß einer Kombination der jeweiligen Zustände der Mehrzahl von Programmelementen.

5. Dünnfilmmagnetspeichervorrichtung nach Anspruch 4, wobei

die Spannungseinstellungsschaltung (100) eine Mehrzahl von Testgateschaltungen (131 bis 133) enthält, die jeweils korrespondierend zu mindestens einem der Mehrzahl von Programmelementen (141 bis 143) bereitgestellt sind, und

eine Mehrzahl von Testanschlüssen (161 bis 163), die korrespondierend zu der Mehrzahl der Testgateschaltungen bereitgestellt sind, und die jeweils externe Pseudoprogrammsignale (TV1 bis TV3) empfangen, und wobei

jede der Mehrzahl von Testgateschaltungen elektrisch mit einem Entsprechenden der Mehrzahl von Programmelementen in Reihe oder parallel geschaltet ist, und einen gleichen elektrischen Verbindungszustand bildet wie der zweite Zustand des entsprechenden Programmelements, in Antwort auf ein Entsprechendes der Pseudoprogrammsignale.

6. Dünnfilmmagnetspeichervorrichtung mit:
 einer Mehrzahl von Speicherzellen (MC), die jeweils eine Datenspeicherung durchführen; und
 einer Mehrzahl von Datenleitungen (BL, /BL), die gemäß vorbestimmten Segmenten der Mehrzahl von Speicherzellen jeweils angeordnet sind, wobei

jede der Mehrzahl von Speicherzellen einen Magnetspeicherbereich (TMR) enthält, der einen ersten oder zweiten elektrischen Widerstand (Rmax und Rmin) gemäß einem Pegel der gespeicherten Daten aufweist, und
 ein Zugriffselement (ATR), das elektrisch mit dem Magnetspeicherbereich in Reihe geschaltet ist, zwischen einer Entsprechenden der Mehrzahl von Datenleitungen und einer ersten Spannung (Vss), und selektiv eingeschaltet wird,

wobei die Dünnfilmmagnetspeichervorrichtung ferner enthält:
 eine Stromversorgungsschaltung (50) zur Lieferung eines Stroms (Is), der durch den Magnetspeicherbereich fließt,

wobei die Stromversorgungsschaltung einen ersten konstanten Strom an mindestens eine der Mehrzahl von Datenleitungen im Normaloperationsmodus liefert, und einen zweiten Konstantstrom, der größer ist als der erste Konstantstrom, an mindestens eine der Mehrzahl von Datenleitungen in einem anderen Operationsmodus.

7. Dünnfilmmagnetspeichervorrichtung nach Anspruch 6, wobei der Magnetspeicherbereich (TMR) eine erste Magnetkörperschicht (FL) enthält, die in eine feste Richtung magnetisiert ist, eine zweite Magnetkörperschicht (VL), die in eine Richtung gemäß dem Pegel der gespeicherten Daten magnetisiert ist, und einen Isolationsfilm (TB), der zwischen der ersten und zweiten Magnetkörperschicht gebildet ist, und wobei der andere Operationsmodus zu einem Fehlerbeschleunigungstest zur Prüfung des Isolationsfilms korrespondiert.

8. Dünnfilmmagnetspeichervorrichtung nach Anspruch 6 oder 7, wobei in der Mehrzahl von Speicherzellen, in der das Zugriffselement (ATR) eingeschaltet ist, eine Vorspannung, die an beide Enden des Isolationsfilms (TB) in dem anderen Operationsmodus angelegt ist, größer ist als die Vorspannung im Normaloperationsmodus.

9. Dünnfilmmagnetspeichervorrichtung nach einem der Ansprüche 6 bis 8, wobei das Zugriffselement (ATR) einen Feldeffekttransistor aufweist, der in Reihe mit dem Magnetspeicherbereich geschaltet ist, und wobei in der Mehrzahl der Speicherzellen, in denen das Zugriffselement (ATR) eingeschaltet ist, eine Spannung, die an das Gate des Feldeffekttransistors in dem anderen Operationsmodus angelegt ist, derart gesetzt ist, daß ein EIN-Widerstand des Feldeffekttransistors geringer ist als der EIN-Widerstand im Normaloperationsmodus.

10. Dünnfilmmagnetspeichervorrichtung nach einem der Ansprüche 6 bis 9, wobei die Mehrzahl der Speicherzellen (MC) in einer Matrix angeordnet sind, die Mehrzahl der Datenleitungen (BL, /BL) korrespondierend zu den jeweiligen Speicherzellenspalten angeordnet sind; die Dünnfilmmagnetspeichervorrichtung ferner eine Mehrzahl von Auswahlgateschaltungen (RCSG1, RCSGm) enthält, die korrespondierend zu den jeweiligen Speicherzellenspalten bereitgestellt sind, und die eine Verbindung zwischen der Stromversorgungsschaltung (50) und der Mehrzahl von Datenleitungen steuert; und jede der Auswahlgateschaltungen N-Datenleitungen (N: ein ganzzahliger Wert nicht kleiner als 2) von der Mehrzahl von Datenleitungen mit der Stromversorgungsschaltung in dem anderen Operationsmodus verbindet, und eine Datenleitung von der Mehrzahl von Datenleitungen, die zu einer ausgewählten Speicherzelle korrespondiert, von der Mehrzahl von Speicherzellen, als eine Datenlesezielspeicherzelle verbindet.

11. Dünnfilmmagnetspeichervorrichtung nach einem der Ansprüche 6 bis 10, wobei die Mehrzahl von Speicherzellen (MC) in einer Matrix angeordnet sind, die Dünnfilmmagnetspeichervorrichtung ferner einen Reihenauswahlbereich (20, 30) zur Steuerung des Zugriffselements (ATR) enthält, das für jede Speicherzellenreihe ein- und ausgeschaltet wird; und der Reihenauswahlbereich Zugriffselementgruppen, die M-Speicherzellenreihen (M: ganzzahliger Wert nicht kleiner als 2) in dem anderen Operationsmodus entsprechen, einschaltet, und der die Zugriffselementgruppen, die zu einer Speicherzellenreihe korrespondiert, die einer ausgewählten Speicherzelle entspricht,

einschaltet, von den Speicherzellen als eine Datenlesezielspeicherzelle im Normaloperationsmodus.

12. Dünnfilmmagnetspeichervorrichtung nach einem der Ansprüche 6 bis 11, wobei die Stromversorgungsschaltung eine Stromquellenschaltung (104) zur Ausgabe eines konstanten Stroms (I_s) gemäß einer Steuerspannung (V_{ctr}) enthält, an die mindestens eine der Datenleitungen im Normaloperationsmodus und in dem anderen Operationsmodus, eine erste Spannungseinstellungsschaltung (100n) zum Einstellen einer ersten Referenzspannung (V_{rsn}), die dem ersten Konstantstrom entspricht; eine zweite Spannungseinstellungsschaltung (100b, 310) zur Einstellung einer zweiten Referenzspannung (V_{rsb}), die dem zweiten konstanten Strom entspricht; und eine Spannungsschalter-Schaltung (103) zur Übertragung einer der ersten und zweiten Referenzspannungen an die Stromquellenschaltung als Steuerspannung gemäß einem Operationsmodus.

13. Dünnfilmmagnetspeichervorrichtung nach Anspruch 12, wobei die erste Spannungseinstellungsschaltung (100n) die erste Referenzspannung (V_{rsn}) in nichtflüchtiger Weise in Antwort auf eine erste externe Eingabe einstellt; und die zweite Spannungseinstellungsschaltung (100b) die zweite Referenzspannung (V_{rsb}) in nichtflüchtiger Weise in Antwort auf eine zweite externe Eingabe einstellt.

14. Dünnfilmmagnetspeichervorrichtung nach Anspruch 12, wobei die erste Spannungseinstellungsschaltung (100n), die erste Referenzspannung (V_{rsn}) in nichtflüchtiger Weise in Antwort auf eine erste externe Eingabe einstellt; und die zweite Spannungseinstellungsschaltung (310) eine zweite Referenzspannung (V_{rsb}) gemäß der ersten Referenzspannung von der ersten Spannungseinstellungsschaltung erzeugt, so daß ein Verhältnis der ersten Referenzspannung zur zweiten Referenzspannung (V_{rsb}) einen vorbestimmten Wert $((R_1 + R_2)/R_2)$ aufweist.

15. Dünnfilmmagnetspeichervorrichtung nach einem der Ansprüche 6 bis 14, ferner mit einer Dummymagetspeicherzelle (DMC), die für M-Speicherzellen (M: ein ganzzahliger Wert nicht kleiner 2) von der Mehrzahl von Speicherzellen bereitgestellt ist, wobei die Dummymagetspeicherzelle enthält: einen Dummymagnetspeicherbereich (TRMd) mit einem elektrischen Zwischenwiderstand zwischen dem ersten und zweiten elektrischen Widerstand, und ein Dummyzugriffselement (ATRD), das elektrisch mit dem Dummymagnetspeicherbereich in Reihe geschaltet ist, zwischen einer der Mehrzahl von Datenleitungen (BL, /BL) und der ersten Spannung (V_{ss}), und selektiv eingeschaltet wird, und wobei eine Stromlast für den Dummymagnetspeicherbereich in dem anderen Operationsmodus größer ist als eine Stromlast für den Magnetspeicherbereich in mindestens einer Testzielspeicherzelle von der Mehrzahl von Speicherzellen.

16. Dünnfilmmagnetspeichervorrichtung nach Anspruch 15, ferner mit einer Treiberschaltung (30R) zur Steuerung des Ein-/Ausschaltens des Zugriffselements (ATR) und des Dummyzugriffselements (ATRD), wobei die Treiberschaltung ein Produkt der Zeit, während der ein dritter konstanter Strom durch den Dummymagnetspeicherbereich (TRMd) fließt, und dem dritten Konstantstrom,

M-mal so groß ist, wie das Produkt der Zeit, während der der zweite konstante Strom durch den Magnetspeicherbereich der Testzielspeicherzelle fließt und dem zweiten Konstantstrom.

17. Dünnfilmmagnetspeichervorrichtung nach Anspruch 15, wobei

jedes der Zugriffselemente (ATR) aus einem ersten Feldeffekttransistor gebildet ist, und jedes der Dummyzugriffselemente (ATRD) aus einem zweiten Feldeffekttransistor gebildet ist,

die Dünnfilmmagnetspeichervorrichtung ferner eine Treiberschaltung (30R) enthält, um das Zugriffselement (ATR) und das Dummyzugriffselement (ATRD) ein- und auszuschalten, und

die Treiberschaltung jede der Gatespannungen des ersten Feldeffekttransistors und des zweiten Feldeffekttransistors, die in der mindestens einen Testzielspeicherzelle von der Mehrzahl von Speicherzellen enthalten ist, derart setzt, daß ein EIN-Widerstand des zweiten Feldeffekttransistors geringer ist als ein EIN-Widerstand des ersten Feldeffekttransistors in dem anderen Operationsmodus.

18. Dünnfilmmagnetspeichervorrichtung nach Anspruch 15, ferner mit einer Treiberschaltung (30R) zur Steuerung des Ein-/Ausschaltens des Zugriffselements (ATR) und des Dummyzugriffselements (ATRD), wobei die Treiberschaltung eine Ein-Periode des Dummyzugriffselements länger setzt als eine Ein-Periode des Zugriffselements in der mindestens einen Testzielspeicherzelle.

19. Dünnfilmmagnetspeichervorrichtung nach Anspruch 6, wobei

die Stromversorgungsschaltung (50) einen Lesetreiberbereich (RCDG) enthält, der die mindestens eine Datenleitung (BL, /BL) mit einer zweiten Spannung (V_{cc2}) größer als die erste Spannung verbindet, und einer Datenschreibschaltung (51w), die durch Belieferung mit einer dritten Spannung (V_{cc3}) betrieben wird, die größer ist als die zweite Spannung, und zum Erzeugen eines Datenschreibstroms ($\pm I_w$), der den Magnetspeicherbereich (TMR) der ausgewählten Speicherzelle magnetisiert, von der Mehrzahl von Speicherzellen als eine Datenschreibzielspeicherzelle gemäß dem Pegel der gespeicherten Daten während des Datenschreibens im Normaloperationsmodus,

die Dünnfilmmagnetspeichervorrichtung ferner eine Auswahlgateschaltung (RCSG, WCSG) enthält, zur Steuerung der Verbindung zwischen der Stromversorgungsschaltung (50) und der Mehrzahl von Datenleitungen, wobei

die Auswahlgateschaltung einen der Lesetreiberbereiche und die Datenschreibschaltung mit mindestens einer entsprechenden Datenleitung von der Mehrzahl von Datenleitungen, die zu der ausgewählten Speicherzelle korrespondieren, im Normaloperationsmodus verbindet, und die Datenschreibschaltung mit der mindestens einen Datenleitung von der Mehrzahl von Datenleitungen verbindet, die zu den Testzielspeicherzellen im anderen Operationsmodus korrespondieren, und wobei

die Datenschreibschaltung den zweiten Konstantstrom in dem anderen Operationsmodus liefert.

Hierzu 20 Seite(n) Zeichnungen

- Leerseite -

FIG.1

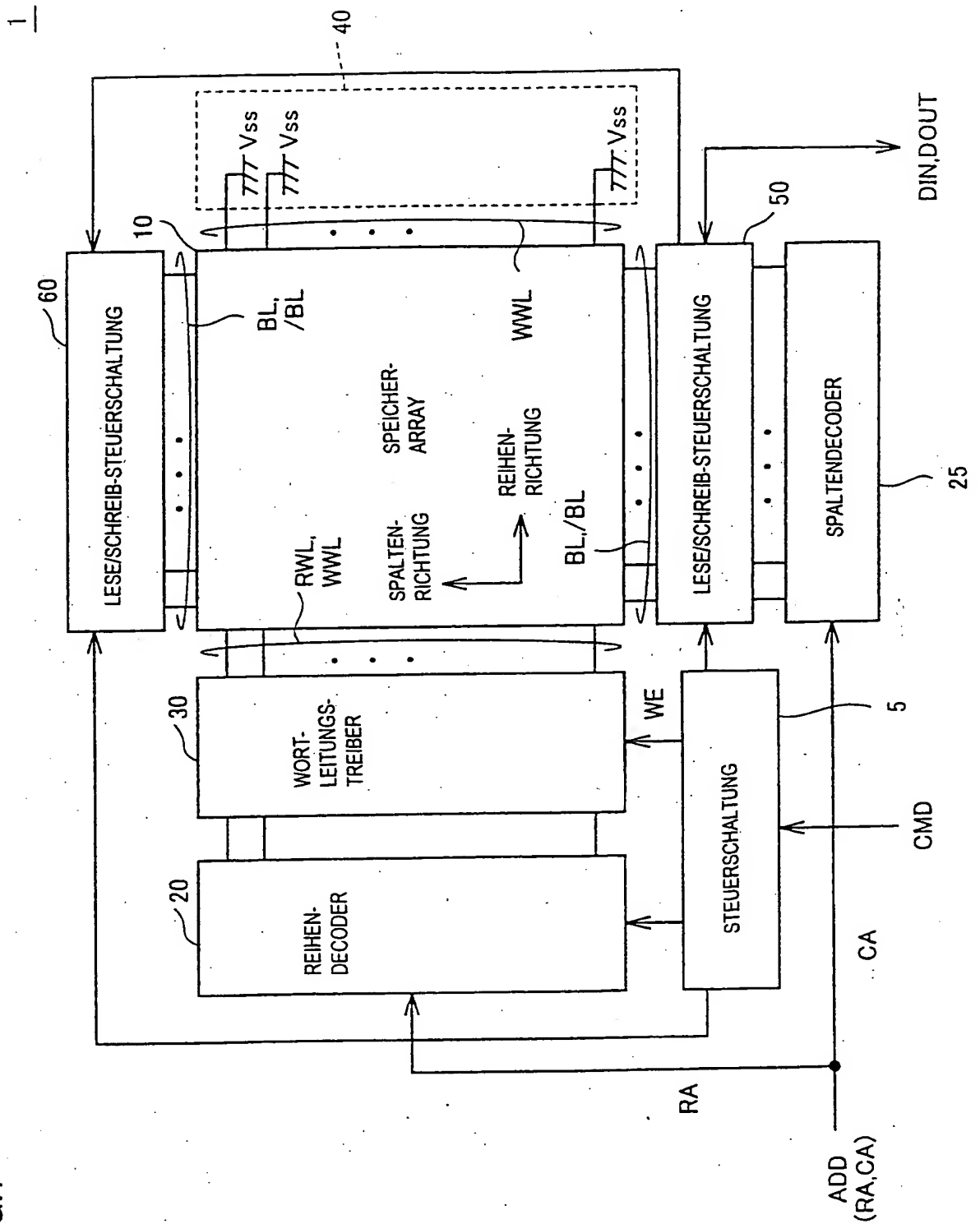


FIG. 2

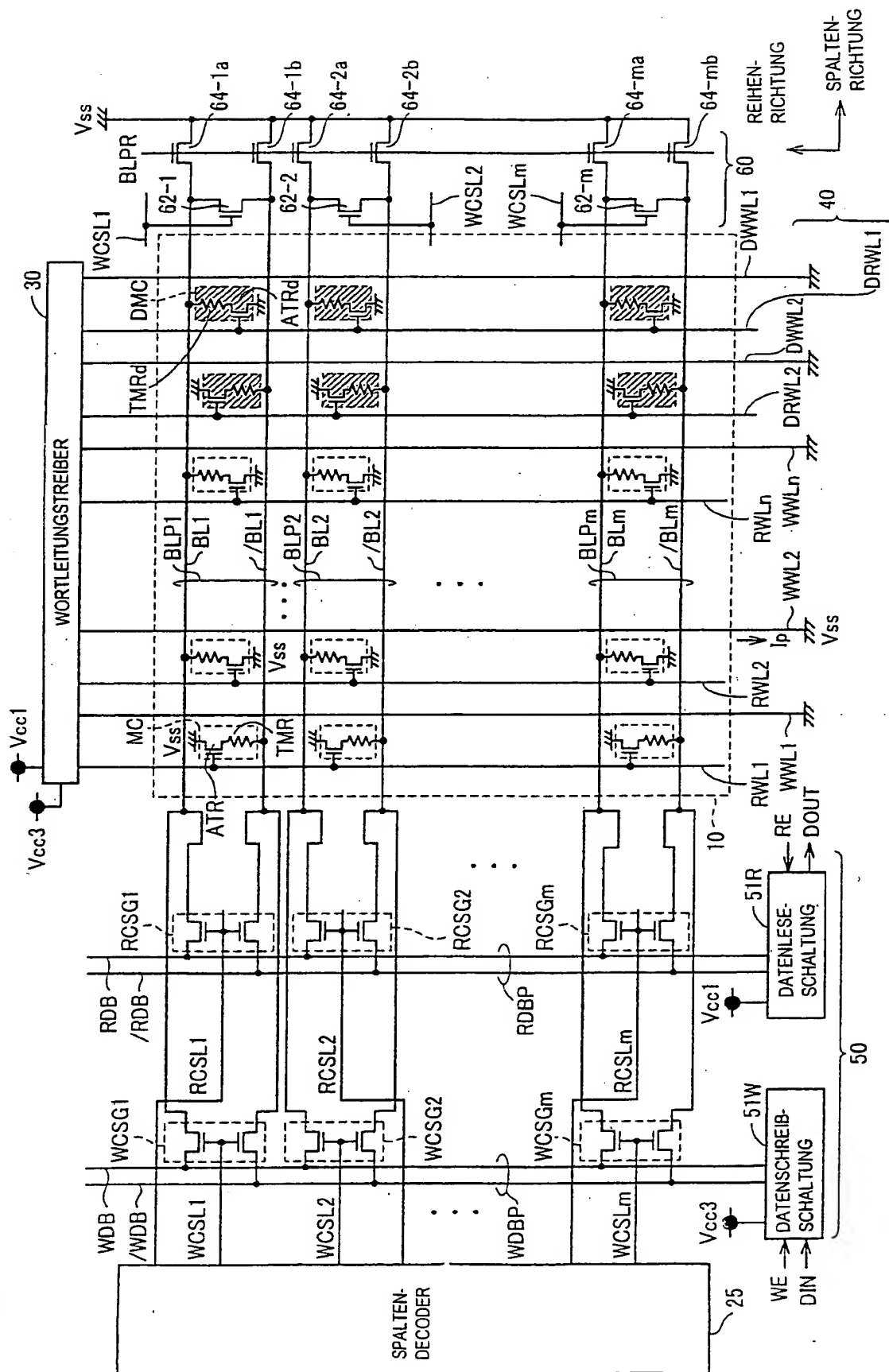


FIG.3

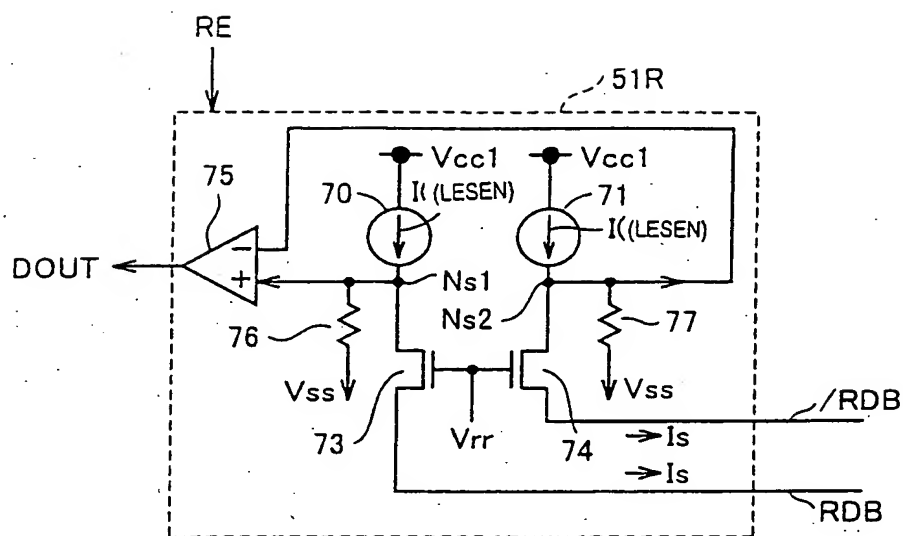


FIG.4

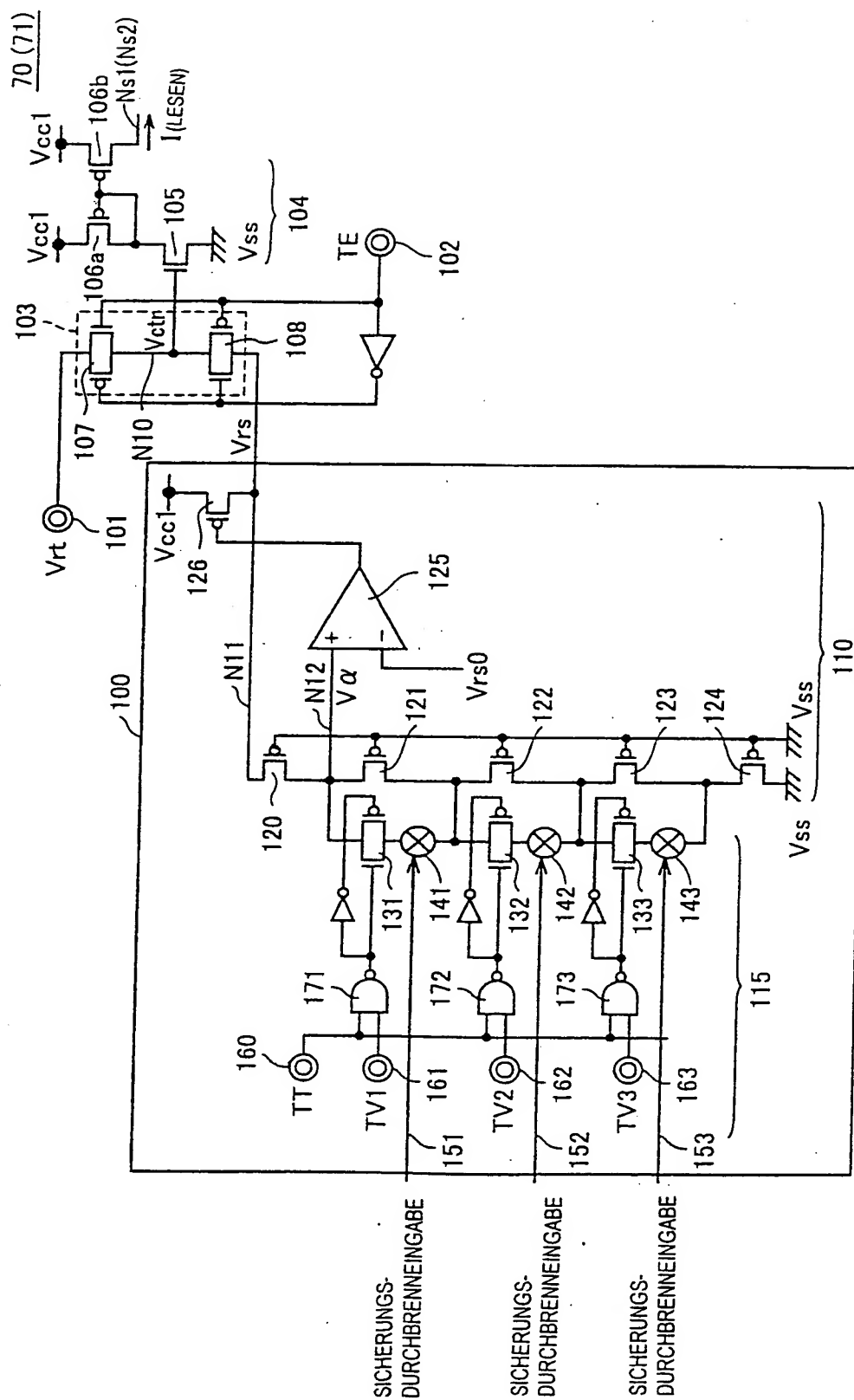


FIG.5

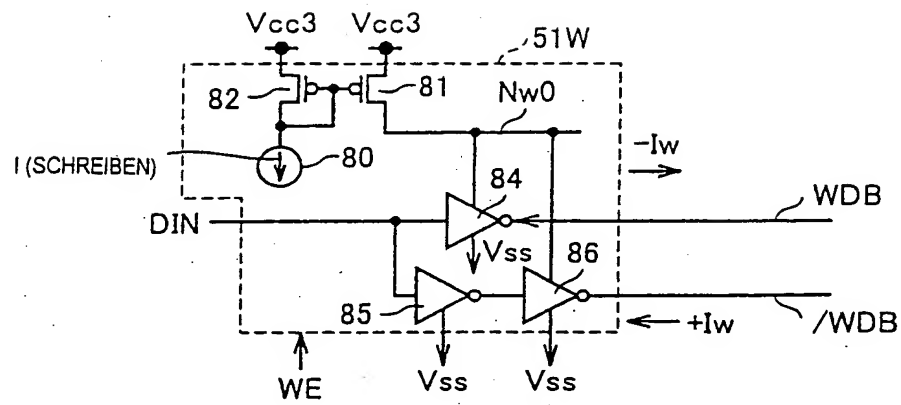


FIG.6

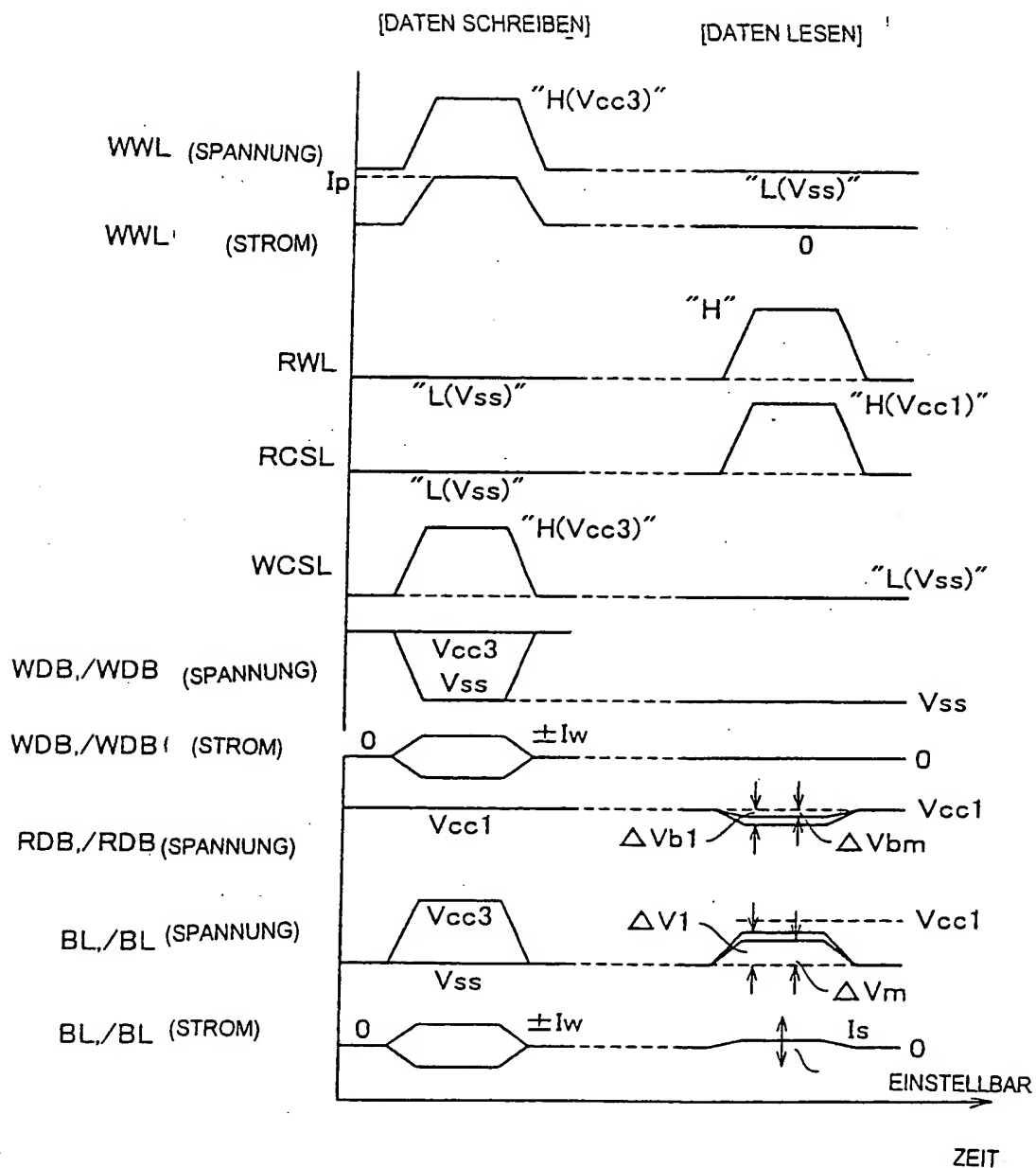


FIG.7

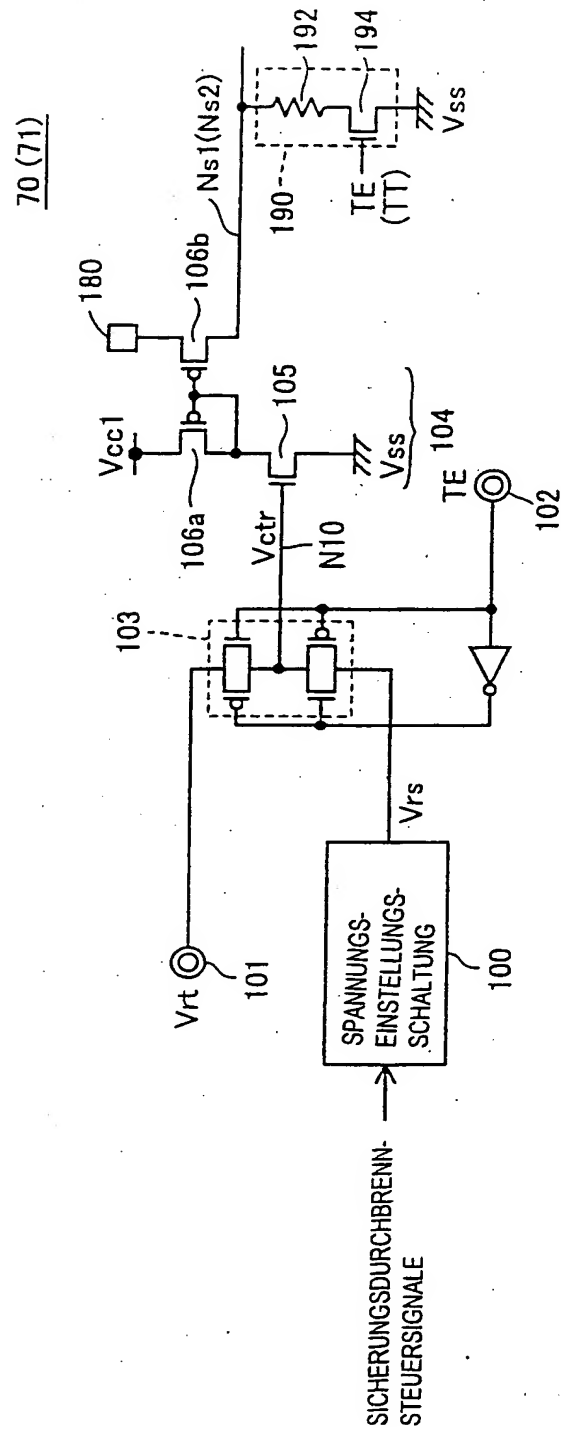


FIG.8

192

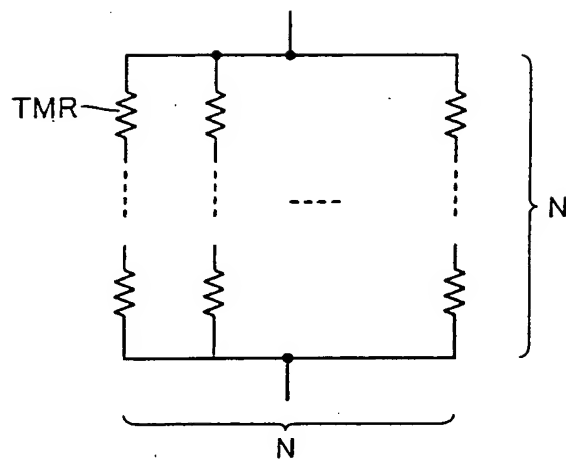


FIG.9

70 (71)

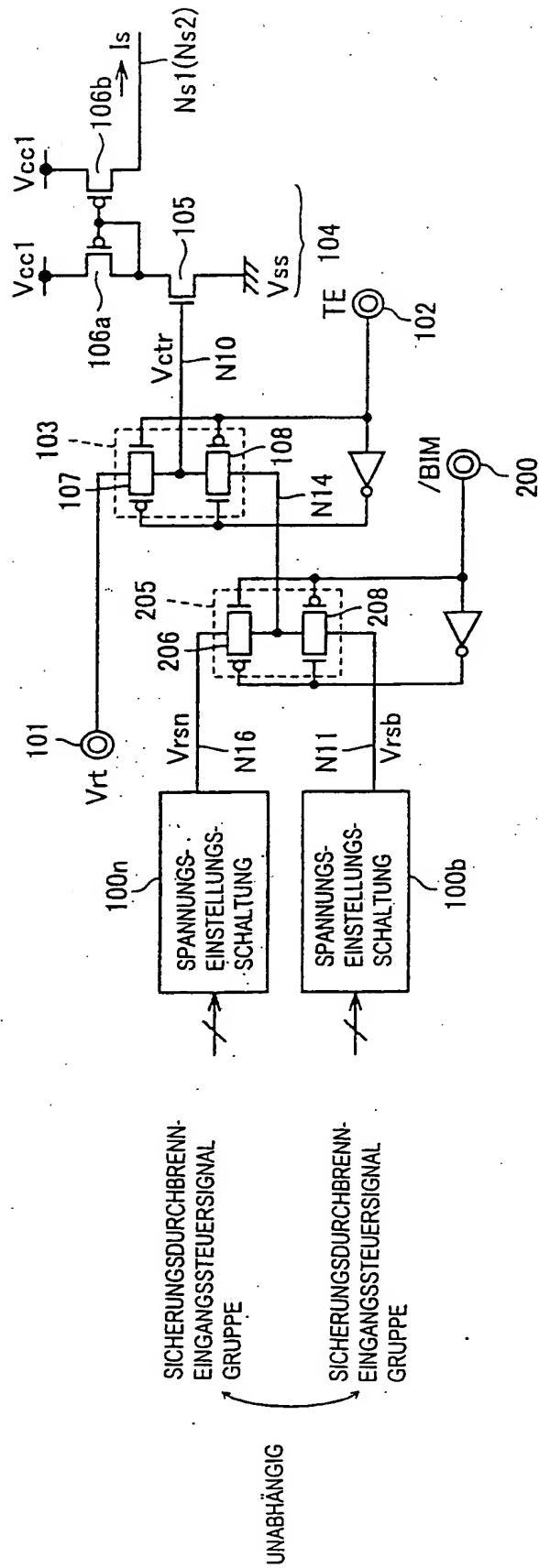


FIG.10

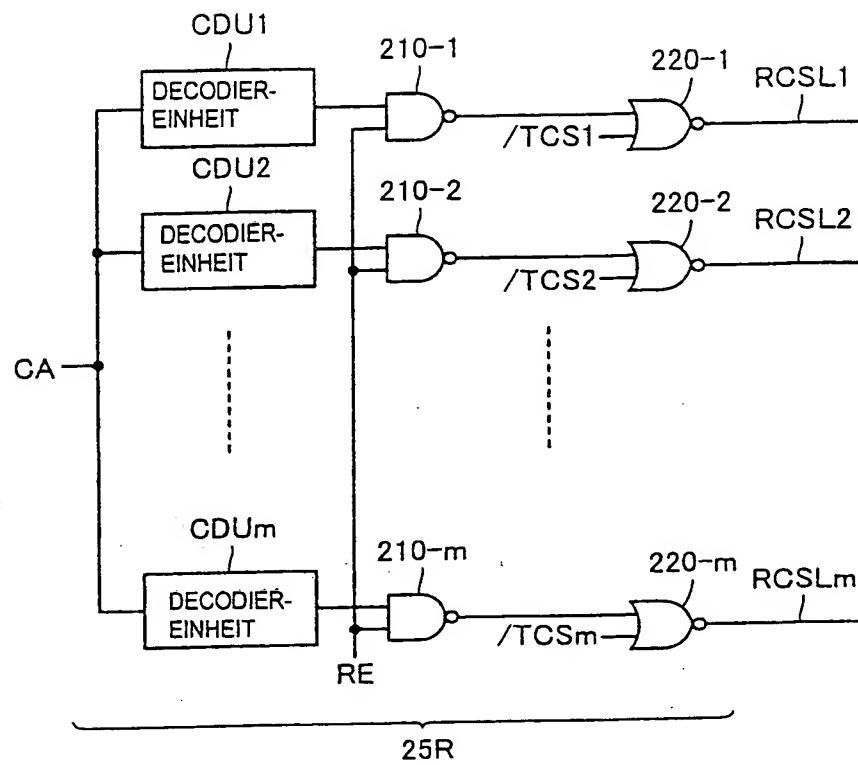


FIG.25 STAND DER TECHNIK

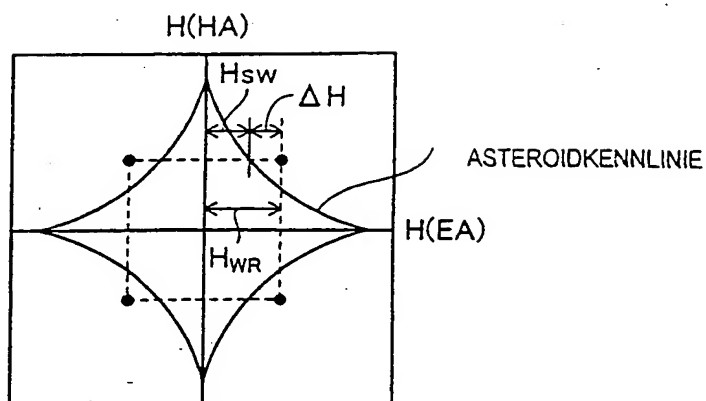


FIG.22 STAND DER TECHNIK

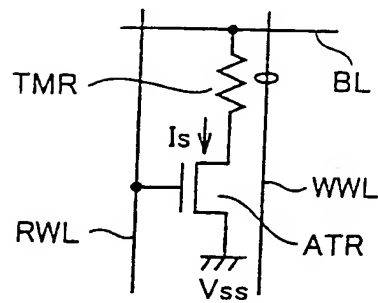


FIG.23 STAND DER TECHNIK

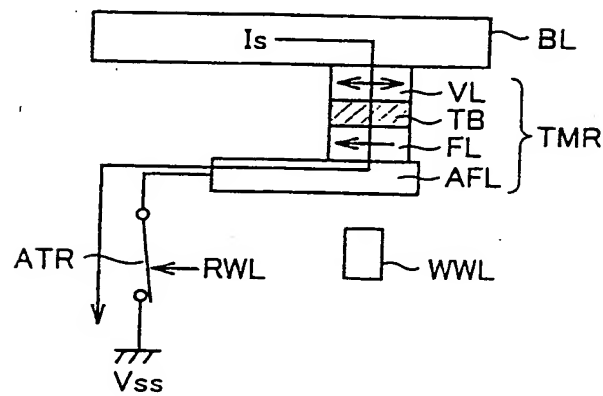


FIG.24 STAND DER TECHNIK

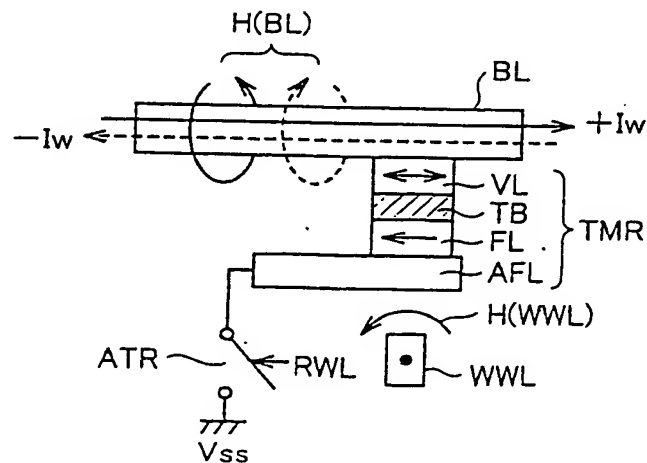


FIG.20

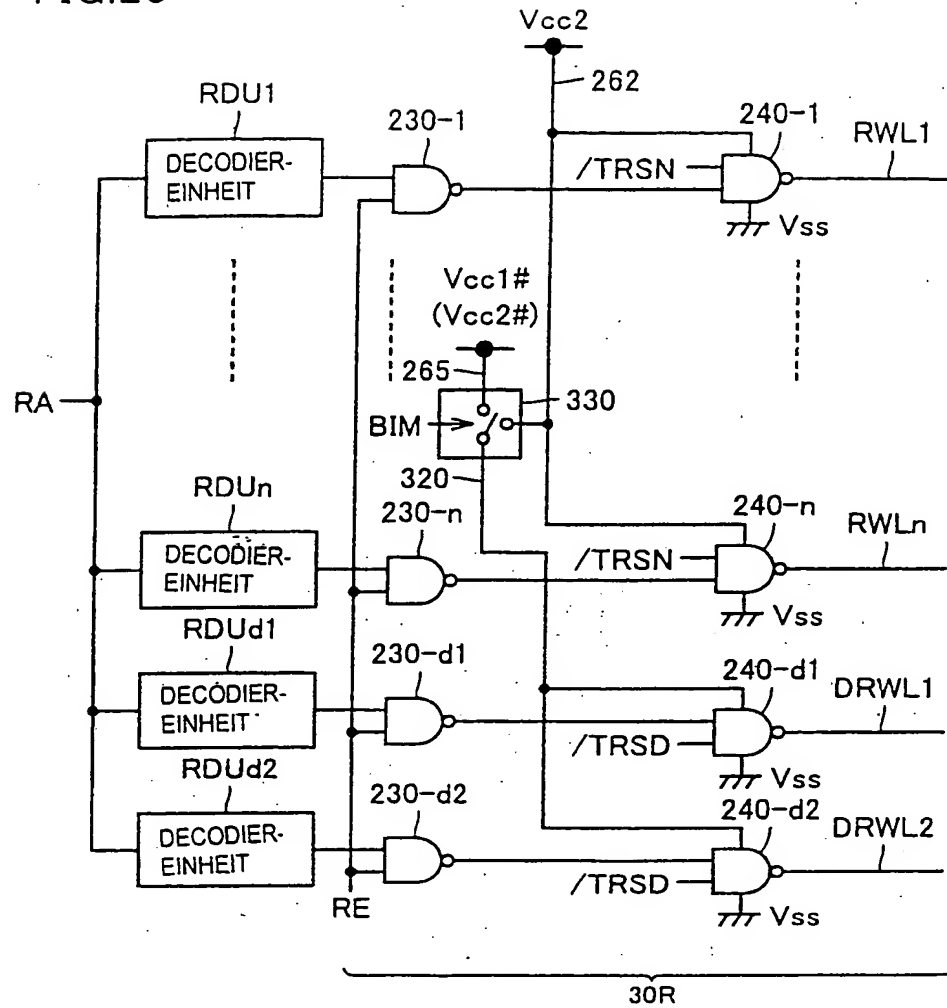


FIG.21

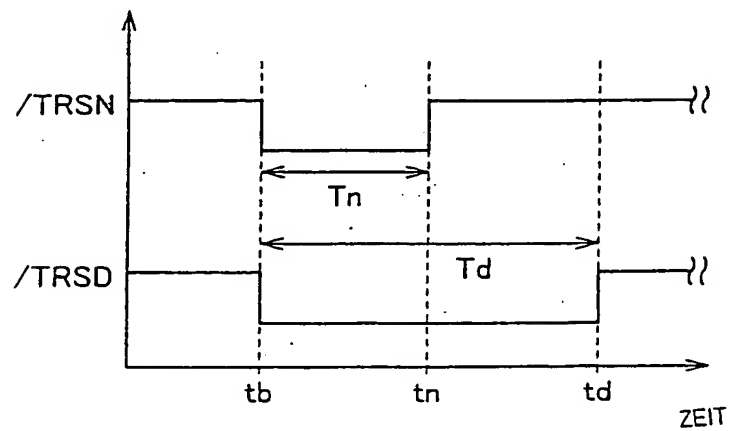


FIG.18

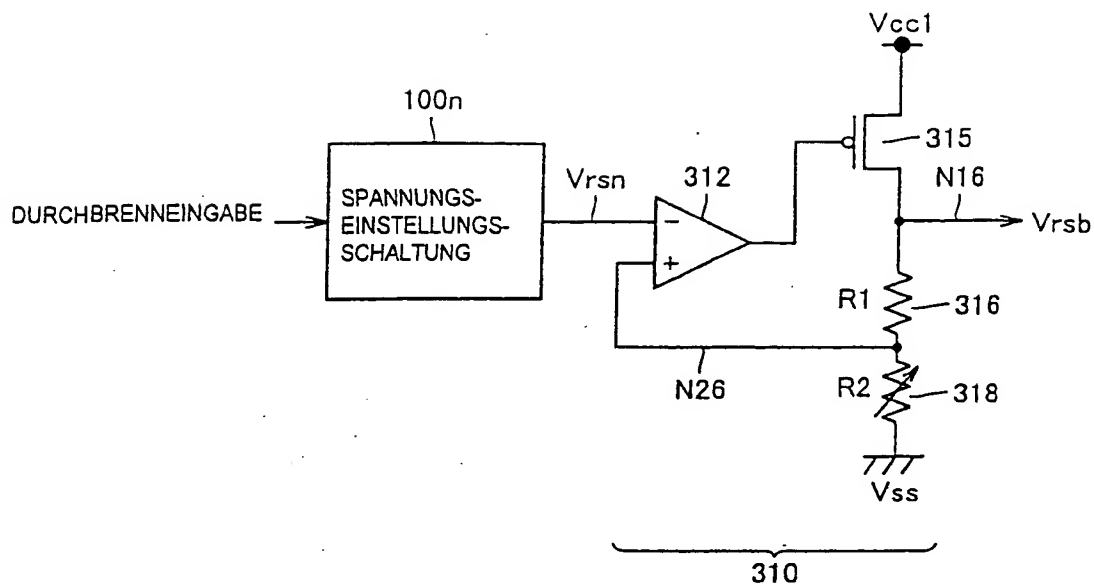


FIG.19

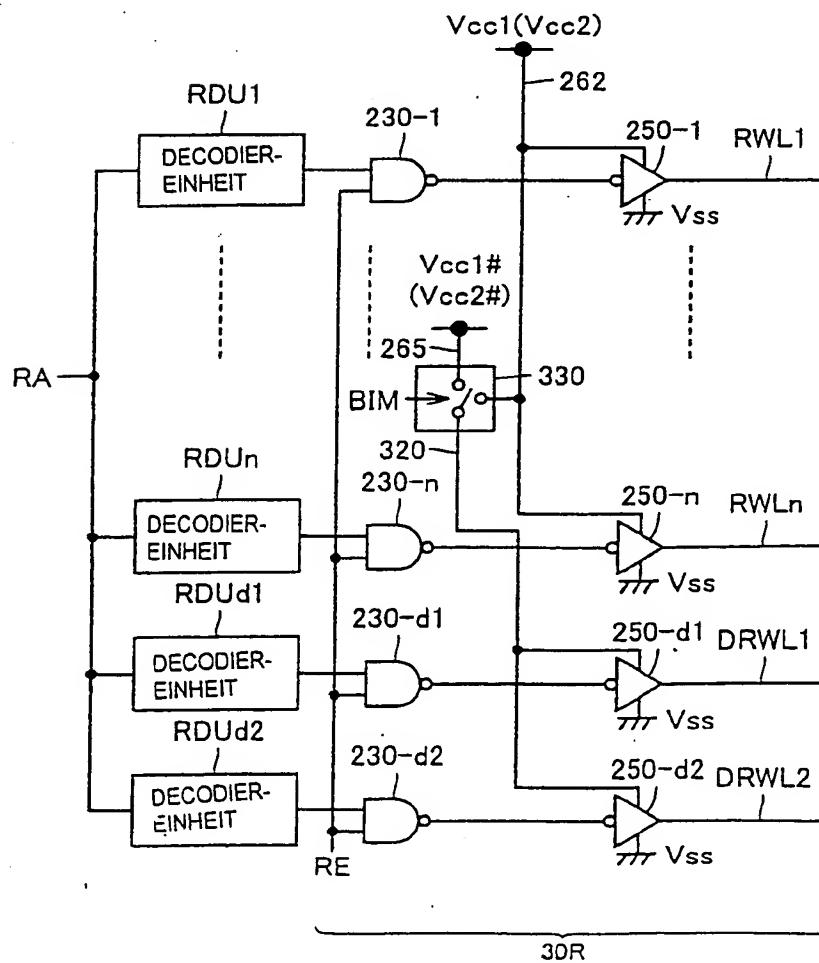


FIG. 17

52W

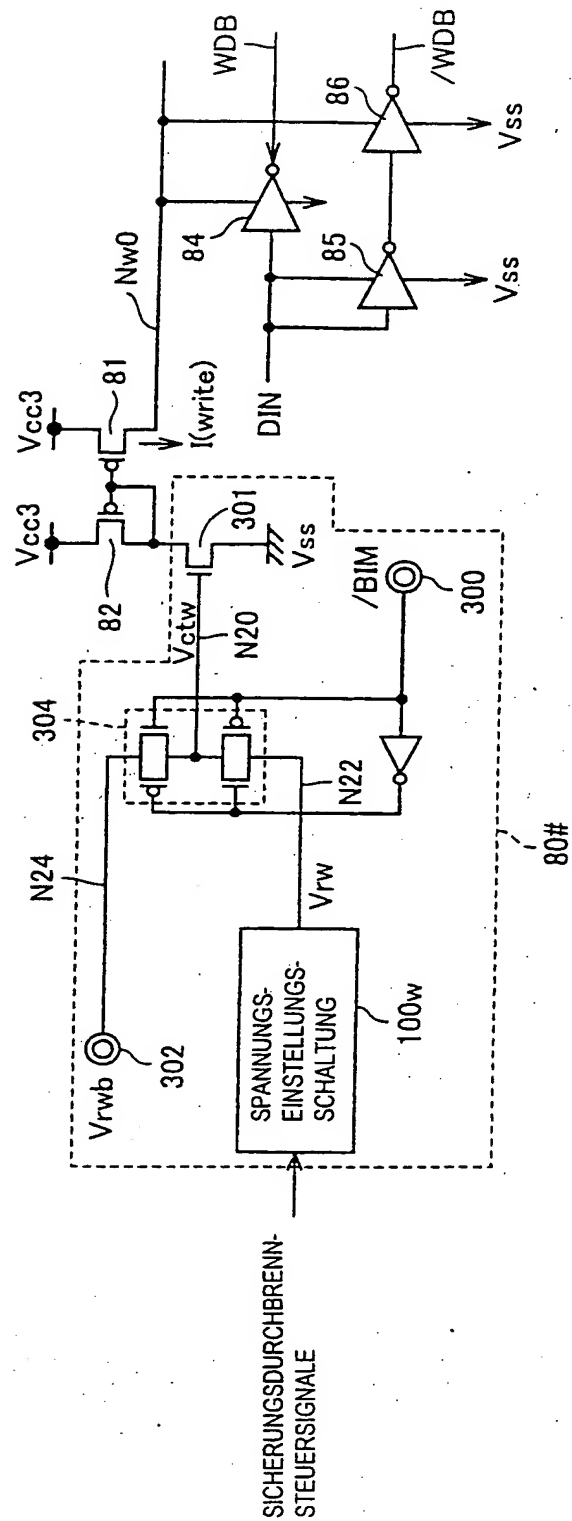


FIG.15

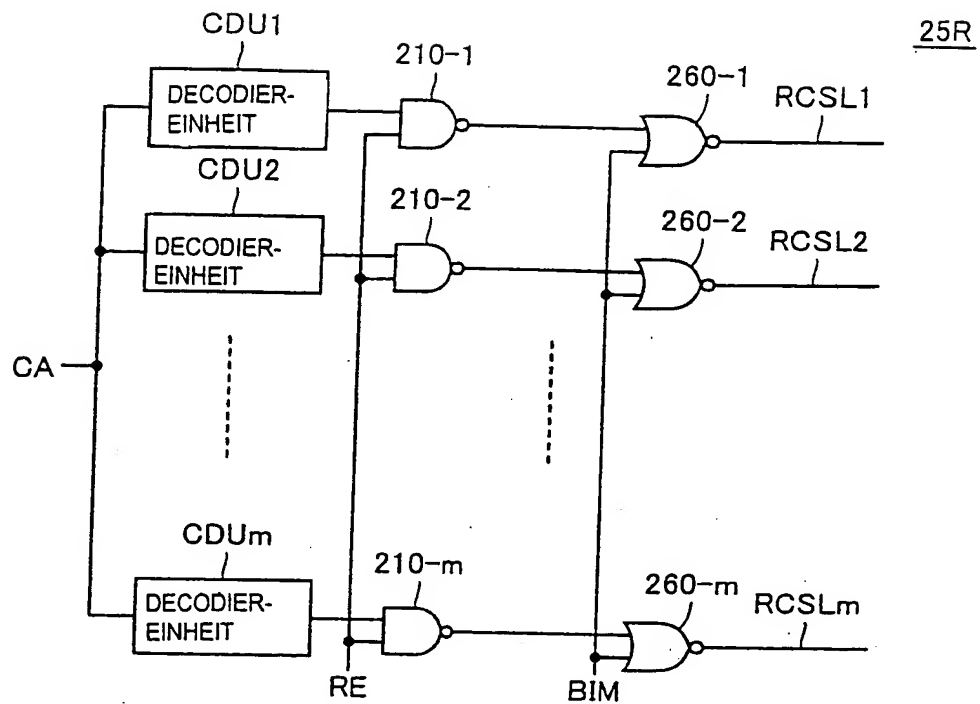


FIG.16

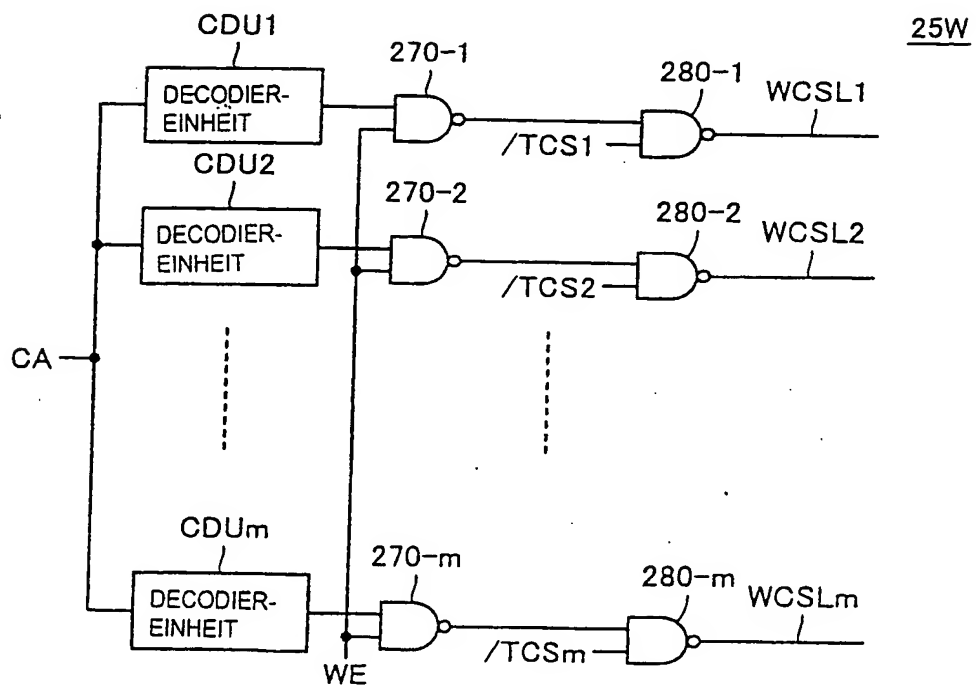


FIG.11

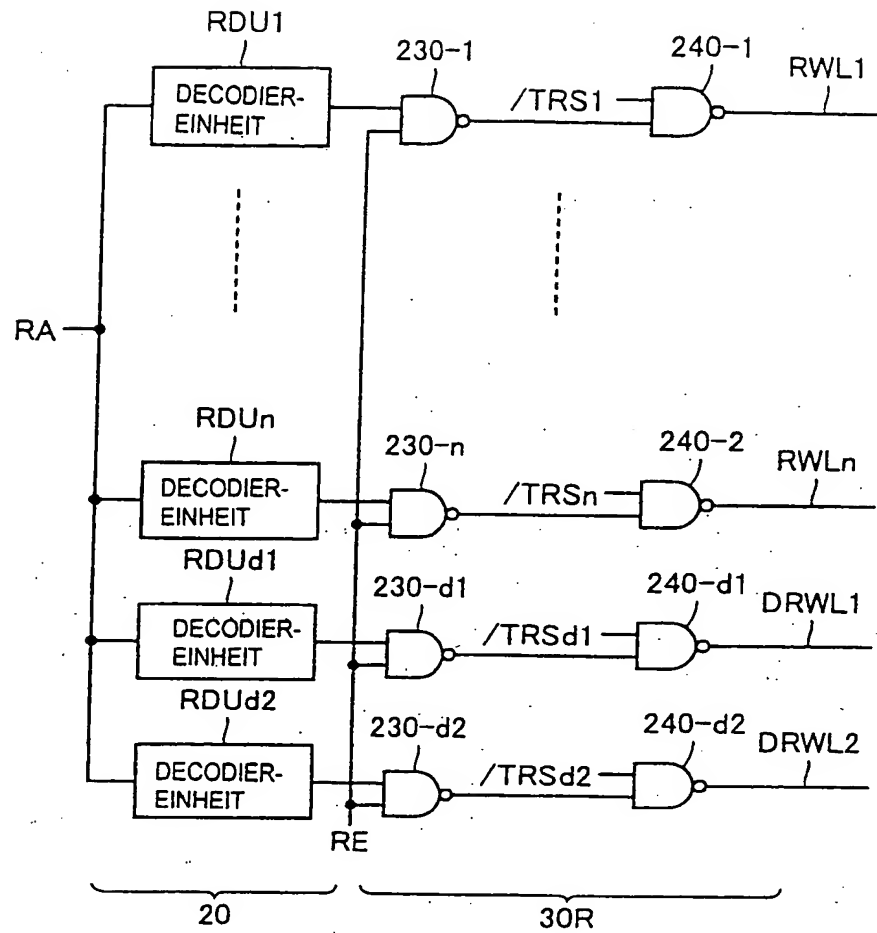


FIG.12

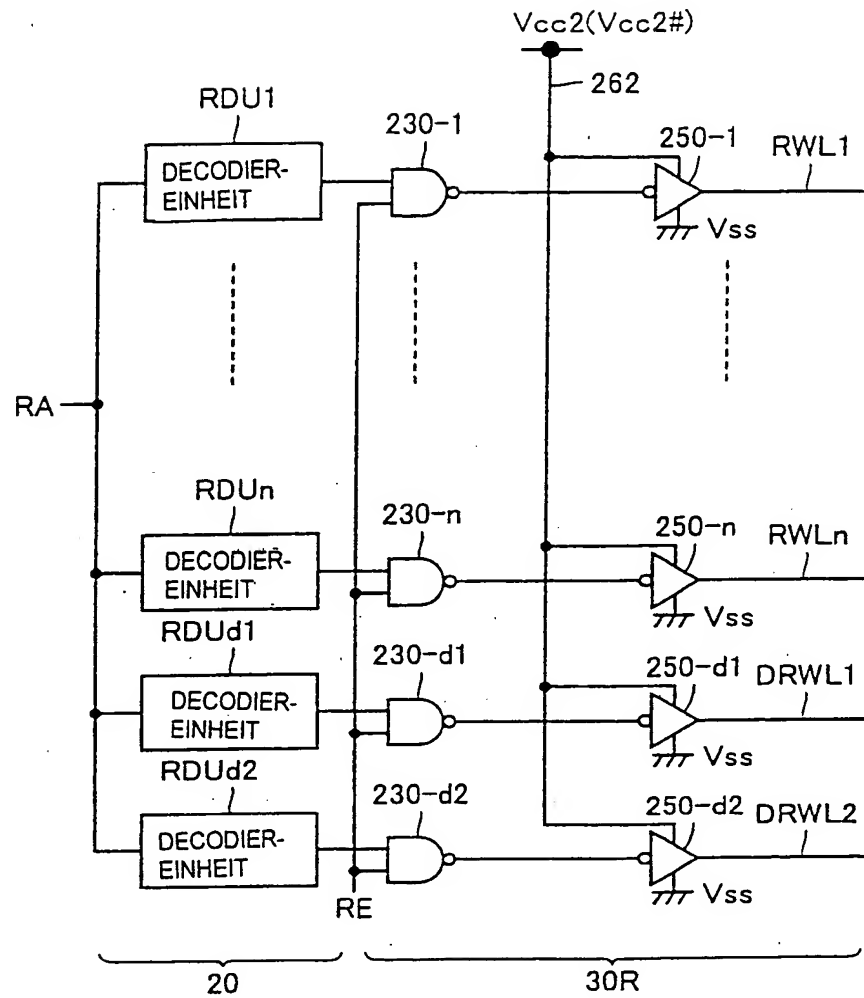


FIG.13

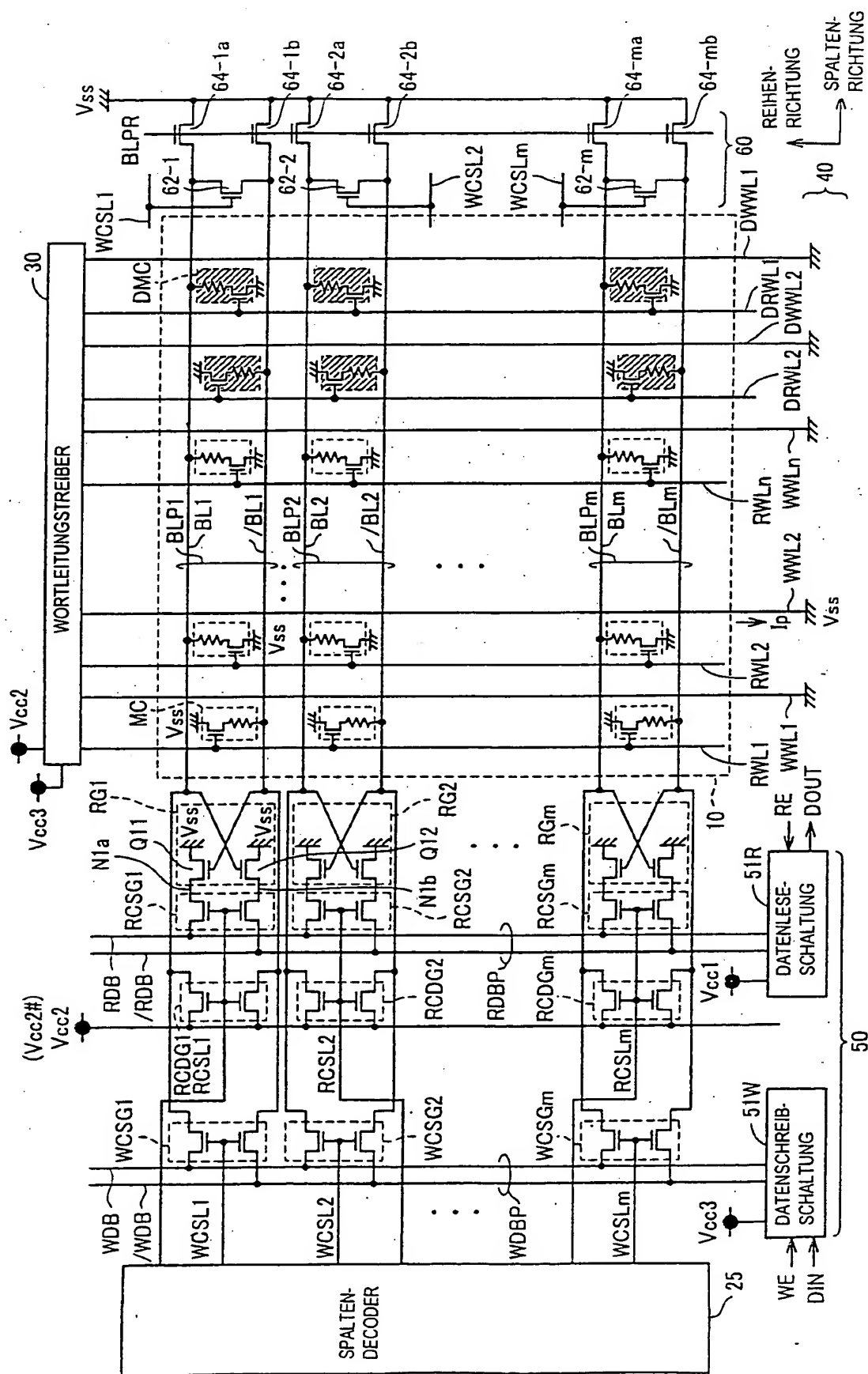


FIG.14

